

UNIVERSIDAD CATÓLICA DE LA SANTÍSIMA CONCEPCIÓN

FACULTAD DE INGENIERÍA
DEPARTAMENTO DE MEDIO AMBIENTE Y ENERGÍA



UCSC

Estudio de Pérdidas de las Técnicas de Modulación PWM en Convertidores Multinivel Puente-H en Cascada

Sebastián Jesús Santelices Villalobos

Informe de Habilitación Profesional para optar al título de:
Ingeniero Civil Eléctrico

Profesor Patrocinante:
Dr. Eduardo E. Espinosa N.

Profesores Guía:
Dr. Aníbal S. Morales M.
Dr. Ricardo A. Lizana F.

Concepción, Agosto de 2017

UNIVERSIDAD CATÓLICA DE LA SANTISIMA CONCEPCION
Facultad de Ingeniería
Departamento de Medio Ambiente y Energía

Profesor Patrocinante:
Dr. Eduardo E. Espinosa N.

Estudio de Pérdidas de las Técnicas de Modulación PWM en Convertidores Multinivel Puente-H en Cascada

Sebastián Jesús Santelices Villalobos

Informe de Habilitación Profesional
para optar al Título de

Ingeniero Civil Eléctrico

Agosto 2017

Resumen

Los convertidores multinivel fuente de voltaje han estado bajo investigación y desarrollo por más de tres décadas, donde hoy se han posicionado como una importante alternativa en el área de control de energía de medio voltaje y alta potencia. Este tipo de convertidor son potencialmente útil en una amplia gama de aplicaciones como: transporte (tracción de trenes, propulsión de buques y aplicaciones automotrices), conversión de energía, industrias fabricantes, petroquímicas y minería, por nombrar algunas.

Este informe expone las topologías multinivel que se consideran clásicas como: Neutral Point Clamped (NPC), Flying Capacitor (FC) y Cascaded H-Bridge (CHB). Si bien este trabajo se enfoca en el CHB, igual se revisan las topologías NPC y FC con el fin de destacar las características que lo distinguen de estas como: la cantidad y tipo de enlaces DC (o DC-link) y semiconductores que utilizan. Además, el convertidor CHB requiere de un menor número de componentes, en relación a las otras topologías, para lograr el mismo número de niveles de voltaje. Asimismo, su estructura modular con fuentes de voltaje DC separadas es adecuada para implementarla en energías renovables como fotovoltaicas y biomasa.

También se discuten las diferentes técnicas basadas en la modulación por ancho de pulso como: Phase Shifted PWM (PS-PWM), Level Shifted PWM (LS-PWM), Space Vector Modulation (SVM), Nearest Level Modulation (NLM) y Selective Harmonic Elimination (SHE). De la misma manera, se reseña al Model Predictive Control (MPC) que es un método avanzado de control, para que le sirva al lector como una introducción de este moderno esquema de control.

Las pérdidas analizadas corresponden a las pérdidas por conducción y conmutación en los semiconductores de potencia del convertidor. Ambas pérdidas dependen de la técnica de modulación y del tipo de semiconductor que se utilice. Por lo tanto, se realiza un estudio de las nuevas tecnologías de dispositivos semiconductores que proporcionan beneficios como: rangos de operación más altos, mayores velocidades de conmutación, etc.

Este documento compara las técnicas de modulación PS-PWM, LS-PWM para un inversor CHB simétrico y NLM para un CHB asimétrico, utilizando como criterio las pérdidas por conducción y conmutación, la distorsión armónica del voltaje de salida y la eficiencia.

Abstract

Voltage source multilevel converters have been under research and development for more than three decades, where today they have become as a very important alternative in the area of high-power medium-voltage energy control. They are potentially useful for a wide range of applications: transport (train traction, ship propulsion, and automotive applications), energy conversion, manufacturing, mining, and petrochemical, to name a few.

This report presents the multilevel topologies that are considered classic such as: Neutral Point Clamped (NPC), Flying Capacitor (FC) and Cascaded H-Bridge (CHB). Although this work focuses on the CHB, NPC and FC topologies are also reviewed to highlight the characteristics that differentiate it from these, such as: The amount and type of DC links and power semiconductors used. Further, its modular structure with separate DC voltage sources is suitable for implementation in renewable energies such as photovoltaics and biomass.

Also discussed are the different techniques based on pulse width modulation such as: Phase Shifted PWM (PS-PWM), Level Shifted PWM (LS-PWM), Space Vector Modulation (SVM), Nearest Level Modulation (NLM) and Selective Harmonic Elimination (SHE). Likewise, the Predictive Control Model (MPC) is described as an advanced control method, to serve the reader as an introduction to this modern control scheme.

The losses analyzed correspond to the conduction and switching losses in the power semiconductors. Both losses depend on the technique of modulation and the type of semiconductor used. Therefore, a study of the new technologies of semiconductor devices is performed, they provide benefits such as: higher operating ranges, higher switching speeds, etc.

This paper compares the PS-PWM, LS-PWM modulation techniques for a symmetric CHB and NLM inverter for an asymmetric CHB, and the criteria used are conduction and switching losses, harmonic distortion of output voltage and efficiency.

A los alumnos del pasado, presente y futuro de la carrera de Ingeniería Civil Eléctrica de la U.C.S.C.

Agradecimientos

Quiero agradecer de la manera más profunda y sincera a mis padres, Sergio y Mirza, y a mis hermanos, Sergio y Nicole, por el apoyo brindado y por darme la motivación que siempre necesité, particularmente a mis padres que son los mejores modelos de trabajo que puedo seguir. Y también a mi polola Natalia que en este último tiempo ha sido un apoyo fundamental.

Agradecer a todos los profesores que fueron parte de este largo camino, en especial a mi profesor guía Dr. Eduardo Espinosa por permitirme realizar este proyecto de título bajo su tutela. Su apoyo ha sido fundamental en el desarrollo de la investigación, además que sus correcciones, comentarios y sugerencias me permitieron lograr que el informe de habilitación profesional se realizara de la mejor forma posible.

Finalmente agradecer a mis compañeros de generación, especialmente a: Adrián, Alfredo, Diego, Gerson y Marcelo, que compartimos tantos momentos de estudio como buenos momentos de ocio.

Tabla de Contenidos

LISTA DE TABLAS	IX
LISTA DE FIGURAS	X
ABREVIACIONES	XII
NOMENCLATURA.....	XIV
CAPÍTULO 1. INTRODUCCIÓN	1
1.1. INTRODUCCIÓN GENERAL	1
1.2. OBJETIVOS	3
1.3. ALCANCES	4
1.4. METODOLOGÍA	4
CAPÍTULO 2. INVERSORES MULTINIVEL	5
2.1. INTRODUCCIÓN	5
2.2. TOPOLOGÍAS MULTINIVEL CLÁSICAS	5
2.2.1 <i>Neutral Point Clamped (NPC)</i>	5
2.2.2 <i>Flying Capacitor (FC)</i>	7
2.2.3 <i>Puente H en Cascada</i>	9
2.3. DISCUSIÓN	16
CAPÍTULO 3. TÉCNICAS DE MODULACIÓN PWM EN INVERSORES MULTINIVEL	19
3.1. INTRODUCCIÓN	19
3.2. PHASE-SHIFTED PWM.....	20
3.3. LEVEL-SHIFTED PWM.....	23
3.4. SPACE VECTOR MODULATION (SVM)	26
3.5. NEAREST LEVEL MODULATION (NLM)	32
3.6. SELECTIVE HARMONIC ELIMINATION (SHE)	35
3.7. CONTROL PREDICTIVO BASADO EN MODELO (MPC)	38
3.8. DISCUSIÓN	44
CAPÍTULO 4. PÉRDIDAS EN UN INVERSOR.....	46
4.1. INTRODUCCIÓN	46
4.2. PÉRDIDAS EN EL DC-LINK.....	47
4.3. PÉRDIDAS EN EL TRANSFORMADOR	47
4.4. PÉRDIDAS EN DISPOSITIVOS SEMICONDUCTORES	48
4.4.1 <i>Pérdidas por Conducción</i>	48
4.4.2 <i>Pérdidas por conmutación</i>	49
4.5. DISCUSIÓN	59
CAPÍTULO 5. NUEVAS TECNOLOGÍAS EN SEMICONDUCTORES DE POTENCIA	60
5.1. INTRODUCCIÓN	60
5.2. IGCT	62
5.3. IEGT	63
5.4. DISPOSITIVOS SEMICONDUCTORES DE SiC.....	64
5.4.1 <i>SiC MOSFET</i>	65
5.4.2 <i>SiC Schottky Diodes</i>	66
5.4.3 <i>SiC JFET</i>	66
5.4.4 <i>SiC BJT</i>	68

5.5.	DISPOSITIVOS SEMICONDUCTORES DE DIAMANTE.....	68
5.6.	DISCUSIÓN	69
CAPÍTULO 6. SIMULACIONES DE INVERSORES MULTINIVEL CON DISTINTAS TÉCNICAS DE MODULACIÓN.....		71
6.1.	CHB SIMÉTRICO CON PS-PWM	71
6.2.	CHB SIMÉTRICO CON LS-PWM	92
6.3.	CHB ASIMÉTRICO CON NLM	99
6.4.	DISCUSIÓN Y CONCLUSIONES	106
CAPÍTULO 7. CONCLUSIONES		108
7.1.	SUMARIO	108
7.2.	CONCLUSIONES	109
7.3.	RECOMENDACIONES	110
7.4.	TRABAJOS FUTUROS	110
CAPÍTULO 8. BIBLIOGRAFÍA		111
ANEXO A.	DATASHEET IGBT	117

Lista de Tablas

Tabla 2.1: Secuencia de encendido de IGBT en NPC.....	6
Tabla 2.2: Secuencia de encendido de IGBT en FC	9
Tabla 2.3: Secuencia de encendido de IGBT en CHB	10
Tabla 2.4: Estados de conmutación de inversor de Figura 2.4.....	11
Tabla 2.5: Estados de conmutación de inversor CHB de Figura 2.7	15
Tabla 2.6: Tabla comparativa de topologías clásicas multinivel	18
Tabla 3.1: Estados de conmutación de inversor CHB asimétrico con razón $k_1:k_2:k_3$	33
Tabla 3.2: Total de Vectores de Voltaje y Diferente Vectores de Voltaje.....	40
Tabla 6.1: Parámetros del circuito para la simulación	71

Lista de Figuras

Figura 2.1: Inversor NPC	6
Figura 2.2: Inversor Flying Capacitor	8
Figura 2.3: Inversor Puente H	10
Figura 2.4: Inversor puente H en cascada simétrico	11
Figura 2.5: Voltaje de salida inversor de Figura 2.4	12
Figura 2.6: Inversor CHB trifásico.....	13
Figura 2.7: Inversor puente H en cascada asimétrico.....	14
Figura 2.8: Voltaje de salida inversor de Figura 2.7	15
Figura 3.1: Clasificación técnicas de modulación multinivel	19
Figura 3.2: Modulación PS-PWM para un inversor CHB de 7 niveles	22
Figura 3.3: Inversor CHB de 7 niveles.....	23
Figura 3.4: Disposición de las portadoras en LS-PWM.....	24
Figura 3.5: Voltajes de salida de cada puente H de un inversor CHB de niveles	25
Figura 3.6: Diagrama genérico de espacio vectorial	28
Figura 3.7: CHB asimétrico de 3 puente H con proporción $k_1:k_2:k_3$	34
Figura 3.8: Generación patrón de conmutación y voltaje de salida v_{a1}	35
Figura 3.9: Voltaje de salida general para un inversor con SHE [40].....	37
Figura 3.10: CHB trifásico de dos puente H simétrico conectado a una carga RL	39
Figura 3.11: Diagrama de bloques del algoritmo de control predictivo.....	43
Figura 4.1: Diagrama de bloques de un Drive de media tensión	46
Figura 4.2: Forma de ondas características en la conmutación [46]	49
Figura 4.3: Dinámica de conmutación: Modelo teórico (azul) y medición experimental (rojo)	52
Figura 4.4: El peak de corriente de recuperación inversa depende de la corriente de carga.....	53
Figura 4.5: Formas de onda características en un semiconductor en conmutación	58
Figura 5.1: Interruptor controlable genérico [32].....	60
Figura 5.2: IGCT	62
Figura 5.3: Dispositivo IEGT fabricado por TOSHIBA	63
Figura 5.4: Sección transversal y distribución de portadores [53]	64
Figura 5.5: Prototipo SiC MOFET desarrollado por General Electric Company	66
Figura 6.1: Esquema de modulación PS-PWM.....	71

Figura 6.2: Inversor CHB monofásico de 7 niveles usado para las simulaciones	72
Figura 6.3: Voltajes y corrientes de salida del CHB con $m_a = 0,8$	74
Figura 6.4: Voltajes y corrientes en la salida del CHB con $m_a = 0,4$	83
Figura 6.5: Formas de onda y su respectivo contenido armónico para PS-PWM.....	86
Figura 6.6: Pérdidas en el inversor con PS-PWM.....	88
Figura 6.7: Pérdidas totales y en cada celda con PS-PWM	89
Figura 6.8: Evolución del THD con PS-PWM.....	90
Figura 6.9: Eficiencia de inversor CHB con PS-PWM vs m_a	91
Figura 6.10: Esquema modulación LS-PWM	93
Figura 6.11: Forma de ondas y su respectivo contenido armónico para LS-PWM	94
Figura 6.12: Pérdidas en el inversor con LS-PWM PD	96
Figura 6.13: Pérdidas totales y de cada puente H con LS-PWM	97
Figura 6.14: Evolución del THD con LS-PWM	98
Figura 6.15: Eficiencia de inversor CHB simétrico con LS-PWM PD vs m_a	99
Figura 6.16: Esquema de modulación NLM	99
Figura 6.17: Formas de onda y su respectivo contenido armónico para NLM	101
Figura 6.18: Pérdidas en el inversor con NLM	103
Figura 6.19: Pérdidas totales y de cada celda con NLM.....	104
Figura 6.20: Evolución del THD con NLM	104
Figura 6.21: Distribución de potencia activa en inversor asimétrico de 27 niveles con NLM	105
Figura 6.22: Eficiencia de inversor CHB asimétrico con NLM vs m_a	106

Abreviaciones

AC	: Alternating Current (corriente alterna)
APOD	: Alternative Phase Opposition Disposition (oposición alternativa a la disposición en fase)
AsGa	: Arseniuro de Galio
BJT	: Bipolar Junction Transistor (transistor de unión bipolar)
CHB	: Cascaded H-Bridge (puente h en cascada)
DC	: Direct Current (corriente continua)
DC-link	: Enlace de voltaje continuo
ERNC	: Energías Renovables No Convencionales
FC	: Flying Capacitor (capacitor flotante)
GTO	: Gate Turn-Off Thyristor (tiristor desactivado por compuerta)
IEGT	: Injection-Enhanced Gate Transistor (transistor de puerta mejorada por inyección)
IGBT	: Insulated Gate Bipolar Transistor (Transistor bipolar de puerta aislada)
IGCT	: Integrated Gate-Commutated Thyristor (tiristor controlado por puerta integrada)
JFET	: Junction Field-Effect Transistor (transistor de efecto de campo de unión)
kV	: Kilo-Volt
LS-PWM	: Level Shifted PWM (modulación PWM con desplazamiento de nivel)
MATLAB	: MATrix LABoratory (laboratorio de matrices)
MOSFET	: Metal-Oxide-Semiconductor Field-Effect Transistor (transistor de efecto de campo metal-óxido-semiconductor)
MPC	: Model Predictive Control (control por modelo predictivo)
MW	: Mega-Watt
NLM	: Nearest Level Modulation (modulación por el nivel más cercano)
NPC	: Neutral Point Clamped (punto neutro fijo)
PD	: Phase Disposition (disposición en fase)
POD	: Phase Opposition Disposition (oposición a la disposición en fase)
PS-PWM	: Phase Shifted PWM (modulación PWM con desplazamiento de fase)
PWM	: Pulse-Width Modulation (modulación por ancho de pulso)
RL	: Carga Resistiva-Inductiva

Si	: Silicio
SiC	: Carburo de silicio
SOA	: Safe Operating Area (área de operación segura)
SVM	: Space Vector Modulation (modulación por vector espaciales)
THD	: Total Harmonic Distortion (distorsión total armónica)

Nomenclatura

Vectores

\vec{V}_i	: i -ésimo vector de voltaje para Space Vector Modulation
\vec{V}_{ref}	: Vector de voltaje de referencia
$e^{a,b,c}$: FEM de fase a , b y c
$i^{a,b,c}$: Corriente de fase a , b y c
$v^{a,b,c}$: Voltaje de fase a , b y c

Escalares

$V_{aN,1}$: Amplitud de la fundamental del voltaje de fase a
V_{port}	: Amplitud de la señal portadora
V_{ref}	: Amplitud del voltaje de referencia
$V_{H,max}$: Amplitud máxima del voltaje de salida de un puente H a frecuencia fundamental
a_k, b_k	: Coeficientes de Fourier
c_i	: i -ésima constante de comparación para Nearest Level Modulation
f_o	: Frecuencia fundamental
f_{port}	: Frecuencia de la señal portadora
f_{ref}	: Frecuencia de la señal de referencia
f_{sw}	: Frecuencia de conmutación
$f_{sw,dev}$: Frecuencia de conmutación de cada dispositivo semiconductor
h	: Orden de armónico
H_i	: i -ésimo puente H
i_c	: Corriente del condensador
I_m	: Amplitud de corriente de salida del inversor
I_o	: Corriente a través del dispositivo semiconductor en estado encendido
I_T	: Corriente del interruptor de potencia
i_α^*, i_β^*	: Corrientes de referencia en coordenadas α - β para Model Predictive Control

i_α, i_β	: Corrientes en coordenadas α - β para Model Predictive Control
j	: Cantidad de vectores de voltaje en Model Predictive Control
k_i	: i -ésima constante de proporción de voltajes DC
H	: número total de celdas puente H
M	: Nivel negativo
m_a	: Índice de modulación
m_f	: Índice de frecuencia
N	: Punto neutro
n	: Número de niveles de un inversor
n_c	: Número de conmutaciones
N_p	: Número de niveles de voltaje positivos
O	: Nivel nulo
P	: Nivel positivo
P_{in}	: Potencia de entrada en el inversor
$P_{loss,IGBT}$: Pérdidas totales en los semiconductores
P_{on}	: Pérdidas por conducción en un semiconductor
$P_{on,total}$: Pérdidas por conducción en todos los semiconductores
P_{out}	: Potencia de salida en el inversor
P_{sw}	: Pérdidas por conmutación en un semiconductor
$P_{sw,total}$: Pérdidas por conmutación en todos los semiconductores
S_{dev}	: Número total de dispositivos semiconductores
S_i	: i -ésimo interruptor del inversor
t	: Tiempo
$t_{c(off)}$: Tiempo de apagado
$t_{c(on)}$: Tiempo de encendido
t_{fv}	: Tiempo de bajada (rampa) de voltaje en estado encendido del semiconductor
T_i	: i -ésimo tiempo de aplicación para cada vector de voltaje
t_{ri}	: Tiempo de subida (rampa) de corriente en estado encendido del semiconductor
T_s	: Tiempo de muestreo (aplicación) para modulación Space Vector Modulation
V_{ab}	: Voltaje entre fases a y b
V_{aN}	: Voltaje de fase a
V_{bc}	: Voltaje entre fases b y c

V_{bN}	: Voltaje de fase b
V_c	: Voltaje del condensador
V_{ca}	: Voltaje entre fases c y a
V_{cN}	: Voltaje de fase c
V_d	: Voltaje de bloqueo directo del dispositivo semiconductor
V_{DC}	: Voltaje DC
V_m	: Amplitud del voltaje de salida del inversor
v_o^*	: Voltaje de referencia para Nearest Level Modulation
$v_{r,i}$: i -ésimo voltaje de referencia para Nearest Level Modulation
v_{ref}	: Señal de referencia
V_{sat}	: Voltaje de saturación del semiconductor
V_T	: Voltaje del interruptor de potencia
v_{-tri}	: Señal portadora triangular negativas de modulación SPWM
v_{tri}	: Señal portadora triangular positivas de modulación SPWM
$V_{\alpha,\beta}$: Voltaje en coordenadas α - β
X_L	: Reactancia inductiva
Z_{carga}	: Impedancia de la carga
α_i	: i -ésimo ángulo de conmutación
η	: Eficiencia energética del inversor
θ	: Ángulo de desfase entre señales portadoras
θ_c	: Ángulo de desplazamiento de fase entre portadoras
λ	: Factor de peso para restricción en Model Predictive Control
φ	: Ángulo de la impedancia
ω	: Frecuencia angular
ω_c	: Frecuencia angular de \vec{V}_{ref}
ω_{ref}	: Frecuencia angular de la señal de referencia

Capítulo 1. Introducción

1.1. Introducción General

Los convertidores multinivel son una tecnología disponible para aplicaciones de medio voltaje y alta potencia. Estos equipos son utilizados en sistemas eléctricos de potencia como: sistemas flexibles de transmisión AC (FACTS), regeneración y energía renovable; en la industria manufacturera, pues los convertidores multinivel pueden encontrarse en casi cualquier aplicación de accionamiento de motores de alta tensión teniendo una amplia presencia en: la industria petroquímica (bombas y compresores), la industria cementera (ventiladores de alta potencia), la industria metalúrgica (laminadoras de acero) y la industria minera (molinos para cobre y correas transportadoras del mineral), entre otras; también tiene una importante presencia en el transporte tales como: propulsión de buques, tracción de trenes de alta velocidad y en autos eléctricos [1].

Si bien son una tecnología probada, los convertidores multinivel presentan una gran cantidad de desafíos y, lo que es más importante, ofrecen una gama tan extensa de posibilidades que su investigación y desarrollo sigue creciendo en profundidad y amplitud. Los investigadores de todo el mundo están contribuyendo a mejorar aún más la eficiencia energética, la fiabilidad, los rangos de potencia, la simplicidad y el coste de los convertidores multinivel y ampliar su campo de aplicación a medida que se vuelven más atractivos y competitivos que las topologías clásicas [2].

La comunidad de investigadores de electrónica de potencia y la industria han reaccionado antes esto de dos maneras diferentes: desarrollando tecnología de semiconductores para alcanzar altos valores nominales de voltaje y corriente mientras se mantienen las tradicionales topologías de convertidores (principalmente el dos niveles y los convertidores fuente de corriente), con el fin de aprovechar los beneficios ya conocidos de las estructuras y métodos de control. Sin embargo, los nuevos semiconductores son muy costosos y están aún en etapas de desarrollo, por lo que no es una tecnología consolidada. Entre los dispositivos semiconductores de última tecnología tenemos al IGCT, IEGT y los semiconductores hechos en base a Carburo de Silicio (SiC), que por la característica de este elemento se pueden fabricar dispositivos que pueden operar a altos rangos de voltaje y corriente, incluyendo una velocidad de conmutación más rápida. El segundo enfoque usa los bien conocidos y más baratos dispositivos semiconductores, pero con ello surgen estructuras de topologías más complejas, junto con varios desafíos para su implementación y su control. Sin embargo, estos desafíos se convierten en nuevas oportunidades, ya que estructuras más complejas

permiten más grados de libertad que podrían ser usados para mejorar la conversión de energía en varios aspectos, especialmente relacionado a la calidad y la eficiencia [1].

Estas topologías más complejas se conocen como convertidores multinivel. Un convertidor multinivel es un arreglo de dispositivos semiconductores y fuentes de voltajes capacitivas que, cuando se conectan apropiadamente, pueden generar una forma de onda de voltaje escalonada de frecuencia, fase y amplitud variable y controlable [1]. Esta forma de onda escalonada se consigue mediante la adición de voltajes más pequeños, mediante una adecuada conmutación de los interruptores de potencia. Para que un inversor (aquí las palabras inversor y convertidor se usan indistintamente) sea considerado multinivel debe ser capaz de generar tres o más niveles por fase. El número de niveles de un convertidor se puede definir como el número de escalones o valores de tensión constante que pueden ser generados por el convertidor entre el terminal de salida y cualquier nodo de referencia interno arbitrario dentro del inversor. Generalmente, es un nodo en el DC-link, usualmente llamado neutro (N) [1].

Los inversores multinivel presentan grandes ventajas comparadas con el convencional de dos niveles. Esas ventajas se enfocan principalmente en mejoras en la calidad de la señal de salida y en un aumento de potencia nominal en el convertidor, caracterizados por [1]:

- Una menor distorsión armónica en el voltaje de salida. Mientras más niveles de tensión, más sinusoidal el voltaje.
- Reducidos transitorios de tensión (dv/dt), y por ende disminuye el estrés eléctrico en los semiconductores durante la conmutación. También se evitan los efectos nocivos en el aislamiento del motor, si lo hubiere [3].
- Bajo voltaje de modo común. En aplicaciones con motores es un beneficio, pues el voltaje de modo común desgasta la aislación de los devanados, reduciendo su vida útil [4]. Y más importante aún, disminuye el riesgo en la seguridad de las personas [5].

Existen diversas topologías multinivel, de las cuales se encuentran las más clásicas: Neutral Point Clamped (NPC), Flying Capacitor (FC) y Cascaded H-Bridge (CHB). Todas ellas son arquitecturas maduras, bien establecidas y comercializadas. En la literatura se pueden encontrar un gran número de trabajos donde se realiza un estudio comparativo de las mismas en términos de estructura, modularidad y calidad de las tensiones generadas [1], [2], [6], [7], [8]. Desde la introducción de las primeras topologías multinivel hace casi cuatro décadas, una decena de variantes y nuevos convertidores multinivel se han propuesto en la literatura. La mayoría de ellos son

variaciones a las tres topologías multinivel clásicas, discutidas en la sección anterior, o híbridos entre ellas, que han surgido para dar respuesta a limitaciones o problemas que las topologías clásicas padecen. Entre las topologías más nuevas que actualmente tienen aplicación práctica se encuentran las siguientes: el NPC puente H de cinco niveles (5L-HNPC) [9], el NPC activo de tres niveles (3L-ANPC) [10], el NPC activo de cinco niveles (5L-ANPC) [11], el convertidor multinivel modular (MMC) [12], [13], y el convertidor matricial en cascada (CMC) [14], por nombrar algunos.

La disipación de energía está directamente relacionada con la técnica de modulación empleada y el tipo de semiconductor que se utilice como interruptor en el circuito de estos equipos. A raíz de esto resulta interesante comparar las pérdidas en los dispositivos semiconductores usando como criterio las pérdidas por conducción y conmutación, en relación a diferentes técnicas de modulación PWM. La topología utilizada para realizar este análisis es el CHB, dado que este requiere de un menor número de componentes para lograr el mismo número de niveles de voltaje, por lo que la disipación de energía solo se centrará en los semiconductores y no involucrará otros componentes como diodos o condensadores. También es adecuado para aplicaciones de alta potencia debido a su estructura modular que permite un voltaje de operación más alto con los clásicos semiconductores de bajo voltaje [2]. Adicionalmente, el convertidor de más alta potencia que ha sido fabricado, en relación a las topologías clásicas multinivel, es el Robicon Perfect Harmonic alcanzando una potencia de 32 MVA [3], este utiliza la estructura CHB.

1.2. Objetivos

Modelar matemáticamente las pérdidas por conmutación y conducción en inversores multicelda del tipo puente H en cascada, para el caso simétrico y asimétrico, ante distintas técnicas de modulación PWM, considerando al IGBT como semiconductor de potencia. Específicamente:

- Estudiar el estado del arte de los convertidores CHB simétricos y asimétricos.
- Analizar de técnicas de modulación PWM en inversores CHB.
- Estudiar nueva tecnología de semiconductores de potencia.
- Analizar rango de operación de técnicas de modulación PWM para alta eficiencia y bajo THD de voltaje por fase.

1.3. Alcances

El objetivo de este informe no es abarcar todo el tema de convertidores multinivel pues es bastante amplio, por lo que el proyecto de título está sujeto a diferentes condiciones, como:

- El voltaje DC de cada puente H es constante.
- Para simulaciones se utilizará MATLAB.
- Para el análisis matemático se considera una carga lineal del tipo RL, en el lado AC del inversor multicelda.
- Para el inversor simétrico CHB se estudiará modulación PWM Phase Shifted y Level Shifted.
- Para el inversor asimétrico CHB se estudiará la modulación NLM.
- El análisis matemático del inversor CHB se realiza en ejes abc , como así también en ejes dq .
- Para el estudio de pérdidas de conmutación y conducción, sólo se considera al semiconductor del tipo IGBT.
- Para el estudio de pérdidas se considera un CHB compuesto por tres inversores puente H.
- Se considera un modelo lineal para la conmutación del interruptor

1.4. Metodología

El trabajo se organiza mediante un proceso que involucra la recopilación bibliográfica de convertidores multinivel, técnicas de modulación PWM, análisis de pérdidas en convertidores, caracterización de pérdidas en IGBT y estado del arte de nuevos semiconductores de potencia. Posteriormente, se define el método de estudio de pérdidas de conmutación y conducción en el inversor puente H en cascada, considerando los esquemas de modulación Phase Shifted PWM, Level Shifted PWM y Nearest Level Modulation, los cuales serán simulados en el software MATLAB usando la herramienta Simulink/SimPowerSystems. Por último, se realizará un análisis de los resultados para elaborar las conclusiones finales. Cabe señalar que durante todo el período de desarrollo del proyecto de título se efectuarán reuniones semanales con el profesor patrocinador, con el fin de resolver dudas con respecto a algunos conceptos, y en determinadas fechas se solicitarán informes de avances para revisar el estado actual del proyecto.

Capítulo 2. Inversores Multinivel

2.1. Introducción

Las topologías clásicas: Neutral Point Clamped, Flying Capacitor y Cascaded H-Bridge, han sido ampliamente analizadas y documentadas como también han sido comercializadas y usadas en aplicaciones prácticas por más de una década. Si bien el proyecto se enfoca en el Cascaded H-Bridge, es necesario presentar las diferentes estructuras y sus principales características para mostrar los argumentos con los que se basa la inclinación hacia esta clásica topología sobre las otras.

2.2. Topologías Multinivel Clásicas

2.2.1 Neutral Point Clamped (NPC)

El *Neutral-Point Clamped* (NPC) es una topología multinivel elaborada por los doctores Akagi, Nabae y Takahashi. Los autores en [15] proponen este inversor con la finalidad de lograr una mayor eficiencia en un sistema de motores AC, reduciendo el contenido armónico del voltaje de salida en comparación de los inversores convencionales.

Este convertidor está compuesto por dos transistores principales (S_1, S_4) que operan como interruptores por la modulación, y (S_2, S_3) son dos transistores auxiliares que fijan el terminal de la salida al potencial punto neutro junto con los diodos, el inversor NPC se muestra en la Figura 2.1.

Esta topología permite generar tres niveles de tensión por fase (a, b, c), un inversor convencional genera dos niveles que varían entre $(+V_{DC}/2)$ y $(-V_{DC}/2)$, en cambio en el NPC los niveles varían entre $(+V_{DC}/2)$ y (0) o $(-V_{DC}/2)$ y (0) .

En la Tabla 2.1, se muestra la secuencia de encendido de los interruptores y su respectiva salida. Cabe señalar que S_1 y S_3 al igual que S_2 y S_4 , son complementarios entre sí, es decir, no pueden estar los dos interruptores encendidos o los dos apagados ya que pueden incurrir en un cortocircuito o bien en un circuito abierto [16]. El estado de conmutación “P” significa que el voltaje de salida del inversor es positivo, el estado “O” que la salida es cero o nulo y “M” que la salida es negativa (no se utiliza la “N” para negativo para no confundir con el punto neutro).

Tabla 2.1: Secuencia de encendido de IGBT en NPC

Estado de Conmutación	V_{aN}	S_1	S_2	S_3	S_4
P	$+V_{DC}/2$	1	1	0	0
O	0	0	1	1	0
M	$-V_{DC}/2$	0	0	1	1

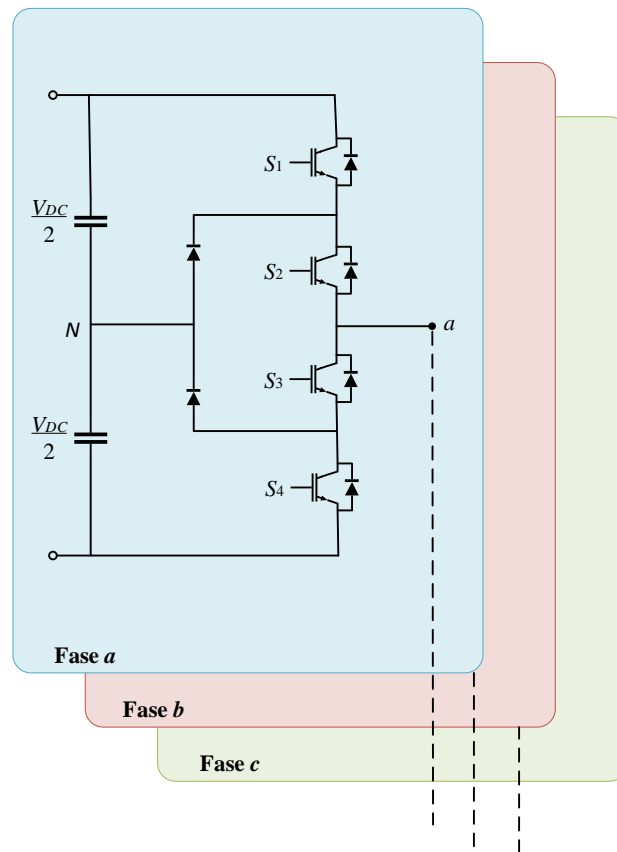


Figura 2.1: Inversor NPC

Los diodos conectados al punto medio “ N ” de los condensadores son el elemento clave que diferencia este circuito de un convertidor convencional, donde su función de fijar (*clamp*) las tensiones de bloqueo de los interruptores a una fracción de la tensión del bus de continua (DC-link), es decir, a la tensión de una sola capacidad, en este caso $V_{DC}/2$ [15].

El voltaje a través de los semiconductores en este convertidor es sólo la mitad del voltaje de entrada, en comparación con el inversor convencional donde el voltaje en estos es el mismo que el

de la fuente. También debemos señalar que el inversor convencional sólo tiene seis interruptores en comparación con el NPC que está compuesto por doce, sin embargo este último es capaz de soportar el doble de corriente.

Las principales ventajas de esta topología son:

- Posee una alta eficiencia debido a que generalmente este tipo de topología utiliza técnicas de modulación de frecuencia fundamental [7].
- La tensión de bloqueo de los semiconductores es la tensión de un condensador, en el caso de n niveles es $V_{DC}/(n-1)$. Esto se debe a que si se agregan más niveles de tensión, significa que se añaden más inversores NPC y por ende más condensadores, por lo tanto la tensión en estos últimos se verá reducida, lo que significa que la tensión que debe soportar cada interruptor es menor [7].
- Ofrece un voltaje DC capacitivo de entrada común para las tres fases en un NPC trifásico [17].

Y los mayores inconvenientes son:

- Para modulaciones de alta frecuencia de conmutación, se requiere que los diodos de enclavamiento (*clamping diodes*) sean de rápida recuperación, debido a que están sometidos a una alta frecuencia de conmutación por lo cual estos semiconductores deben estar disponibles para bloquear para la próxima conmutación, si la recuperación no es rápida se produce una disipación de potencia durante el tiempo de recuperación inversa [15]. Además, estos elementos deben ser capaces de conducir la corriente nominal del inversor.
- El número de diodos de fijación aumenta de forma cuadrática con el número de niveles, complicando el diseño, incrementando costo y disminuyendo la fiabilidad del convertidor [7].

2.2.2 Flying Capacitor (FC)

La siguiente topología que se revisará se llama *Flying Capacitor* (Capacitor Flotante) [7], [18], este convertidor se propuso por vez primera en 1992 por el doctor T. Meynard y el profesor H. Foch. La topología del FC es en algo similar a la del NPC, con la principal diferencia que los diodos de enclavamiento son reemplazados por condensadores flotantes. Aquí, la carga no puede ser conectada directamente al neutro del convertidor para generar el nivel de voltaje cero. En su lugar, el nivel cero (o nulo) es obtenido conectando la carga a la barra positiva o negativa a través del condensador flotante con polaridad opuesta respecto al DC-link.

La estructura más básica del FC consiste en dos celdas conectadas, en las cuales cada una está compuesta por dos semiconductores y un condensador, tal como se muestra en la Figura 2.2.

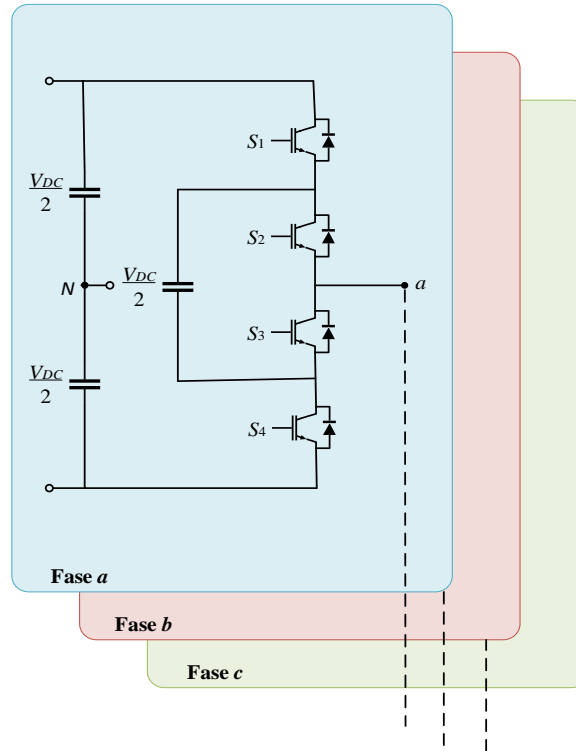


Figura 2.2: Inversor Flying Capacitor

Para incrementar el número de niveles, basta con aumentar el número de celdas conectadas en serie. Los estados de conmutación para una celda FC y los voltajes generados se aprecian en la Tabla 2.2, a diferencia del NPC, en un FC el nivel cero se puede generar con dos estados de conmutación diferentes, llamados estados redundantes. Los estados redundantes nos dan grados de libertad en el control del inversor.

Los interruptores S_1 y S_4 , y por otro lado S_2 y S_3 , son complementarios entre sí para evitar el corto circuito en las fuentes de voltaje DC o el circuito abierto. La función del capacitor interno es el de fijar la tensión de bloqueo de los interruptores a la tensión del condensador.

Tabla 2.2: Secuencia de encendido de IGBT en FC

V_{aN}	S_1	S_2	S_3	S_4
$V_{DC}/2$	1	1	0	0
0	1	0	1	0
0	0	1	0	1
$-V_{DC}/2$	0	0	1	1

Los principales atributos de esta topología son:

- Los voltajes en los condensadores flotantes se pueden balancear en pocos ciclos, mediante el uso de los estados redundantes de conmutación [17].
- La tensión de bloqueo de los interruptores es igual a $V_{DC}/(n-1)$ para n -niveles, al igual que el NPC. Por ejemplo, si el inversor es de tres niveles cada semiconductor deberá bloquear una tensión de $V_{DC}/2$.
- La gran cantidad de condensadores de almacenamiento permiten al inversor soporte interrupciones de corta duración y profundas caídas de voltaje en la alimentación [7].

Y los inconvenientes de acuerdo a este inversor son:

- Se emplea un número elevado de condensadores [7]. Como la corriente que circula por todas las capacidades flotantes es la misma, estos deben tener el mismo valor capacitivo para mantener valores similares de tensión de rizado y para tener un esquema de construcción homogéneo. Lo que aumenta el tamaño y el costo.
- Esta topología necesita de un sistema de pre-carga de condensadores y arranque [19].
- Existe un peligro potencial de resonancia a causa de los condensadores que conforman este convertidor.

2.2.3 Puente H en Cascada

A. Puente H en Cascada Simétrico

El último convertidor analizado será el Puente H en Cascada, por sus siglas en inglés *Cascaded H-Bridge* (CHB). Su topología se basa en la conexión en cascada de inversores puente H

monofásicos. Su estructura más básica está compuesta por cuatro interruptores, donde S_1 y S_3 son complementarios entre sí al igual que S_2 y S_4 , estos están conectados a una fuente DC aislada [18]. En la Figura 2.3, se muestra un inversor puente H.

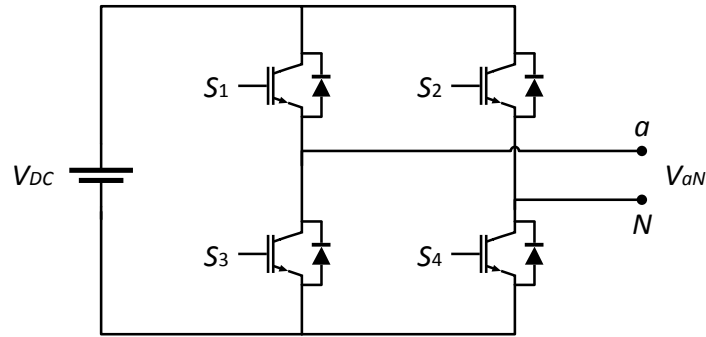


Figura 2.3: Inversor Puente H

En la Tabla 2.3, se muestra como se obtienen los niveles de voltaje de salida a través de los distintos estados de conmutación para un inversor puente H monofásico de tres niveles (Figura 2.3), cada inversor puede generar tres salidas de tensiones diferentes, esta son: V_{DC} , 0 , $-V_{DC}$. Como se puede apreciar al igual que el FC, el puente H tiene un estado redundante para conseguir el nivel nulo.

Tabla 2.3: Secuencia de encendido de IGBT en CHB

V_{aN}	S_1	S_2	S_3	S_4
V_{DC}	1	0	0	1
0	1	1	0	0
0	0	0	1	1
$-V_{DC}$	0	1	1	0

El término “simétrico” viene dado cuando el inversor tiene conectado una fuente de voltaje DC del mismo valor para cada puente H individual. Comúnmente cuando se habla de inversor CHB se asume de forma intrínseca que se trata de uno del tipo simétrico. Tal como se puede apreciar en Figura 2.4.

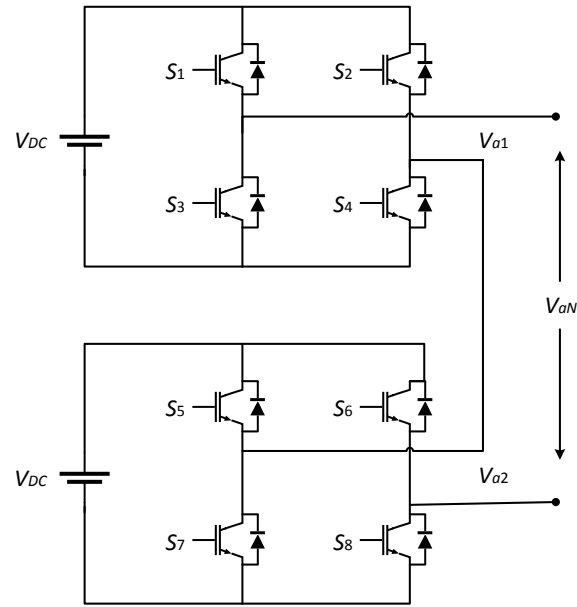


Figura 2.4: Inversor puente H en cascada simétrico

Los estados de conmutación para el inversor de la Figura 2.4, se muestran en la Tabla 2.4. Hay señalar que para generar el nivel de voltaje V_{DC} sólo se muestran dos de los cuatros posibles estados de conmutación, lo mismo ocurre con $-V_{DC}$; por otra parte para generar el nivel 0 sólo se muestran dos de los seis estados posibles para generarlo. Entonces, en la Figura 2.5 se puede apreciar el voltaje en la salida V_{aN} .

Tabla 2.4: Estados de conmutación de inversor de Figura 2.4

V_{aN}	$S_{1,1}$	$S_{1,2}$	$S_{1,3}$	$S_{1,4}$	$S_{2,1}$	$S_{2,2}$	$S_{2,3}$	$S_{2,4}$
$2V_{DC}$	1	0	0	1	1	0	0	1
V_{DC}	1	0	0	1	1	1	0	0
	1	0	0	1	0	0	1	1
0	1	1	0	0	1	1	0	0
	0	0	1	1	0	0	1	1
$-V_{DC}$	0	1	1	0	0	0	1	1
	0	1	1	0	1	1	0	0
$-2V_{DC}$	0	1	1	0	0	1	1	0

Se observa en la Figura 2.5, que la salida del inversor simétrico es de 5 niveles.

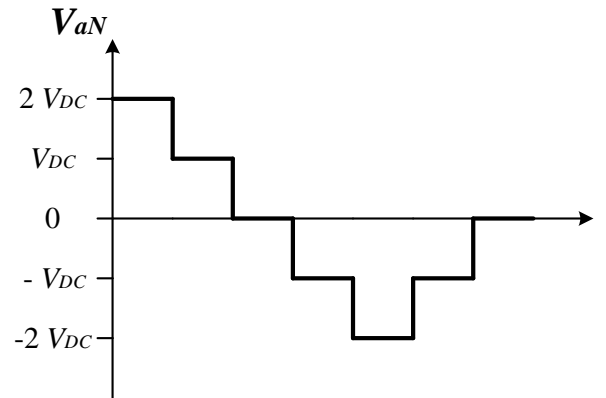


Figura 2.5: Voltaje de salida inversor de Figura 2.4

Para obtener más niveles en la salida basta con colocar más puente H conectados en serie, el número de niveles n se define bajo la relación:

$$n = 2H + 1 \quad (2.1)$$

Donde,

H : Número de puente H conectados en cascadas

Las fuentes de tensión DC de entrada deben estar aisladas entre sí, obteniéndose normalmente a través de un transformador con secundarios aislados o transformadores independientes acompañados de su respectivo rectificador a diodos. Aunque también las fuentes de voltaje DC pueden ser voltajes de condensadores, o baterías; en aplicaciones de energía solar fotovoltaica, la fuente de continua estaría representada por los paneles solares.

Las principales ventajas de este inversor son [7], [18]:

- Al estar constituidos por un conjunto de celdas, la construcción puede ser modular, disminuyendo la complejidad del montaje y costos. En consecuencia, el número de niveles se puede incrementar fácilmente añadiendo módulos inversores iguales, sin necesidad de incorporar nuevos componentes, lo que la hace muy flexible.
- Requiere menor número de componentes que otras topologías multinivel para alcanzar el mismo número de niveles. No necesita ni diodos ni condensadores flotantes de fijación.
- La topología es tolerante a fallas, puesto que el convertidor puede continuar funcionando con un menor nivel de tensión aunque una de sus etapas esté cortocircuitada.
- El sistema de control no debe velar por el balance de las capacidades del convertidor, a menos que las fuentes DC de entrada sean condensadores.

- Los semiconductores sólo deben soportar el voltaje DC en la entrada, independiente de la cantidad de niveles y celdas que se agreguen.

Las desventajas presentes en este convertidor son:

- La principal desventaja es el requerimiento de fuentes de voltaje DC aisladas para cada celda. Si se usa un transformador con múltiples secundarios el costo se eleva en gran magnitud. Otra forma de tener fuentes DC aisladas es usando rectificadores, o se pueden obtener de fuentes aisladas como los paneles fotovoltaicos o convertidores aislados DC/DC [20].

En la Figura 2.6, se puede observar un inversor CHB, que como se mencionó consta de una conexión en serie de varios inversores puente H:

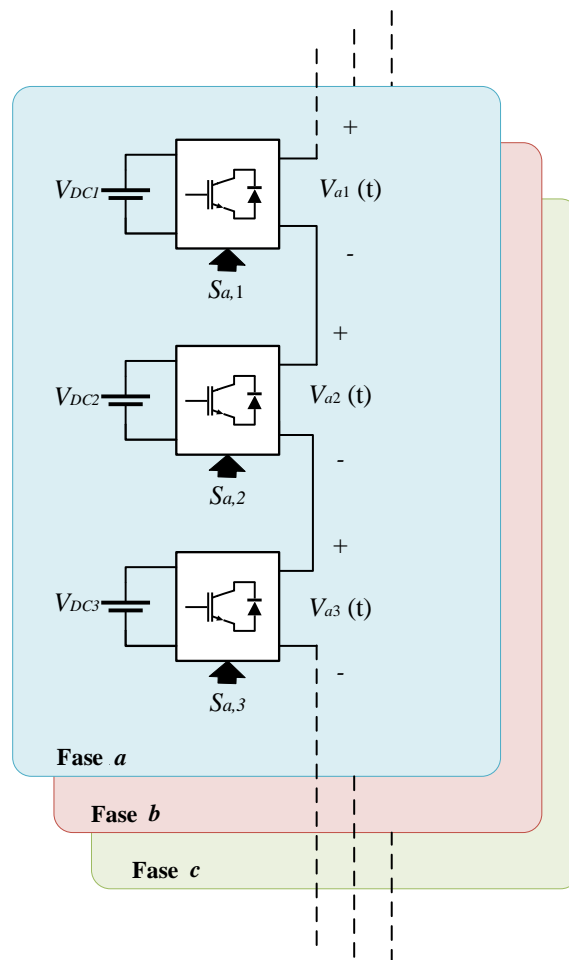


Figura 2.6: Inversor CHB trifásico

B. Puente H en Cascada Asimétrico

Aquí, las fuentes de voltaje DC para cada puente H celda en una misma fase son de diferentes magnitudes. Cabe señalar que el valor de los voltajes DC, si bien son distintas unas de otras, estas no pueden tener cualquier valor aleatorio. Las fuentes deben ser proporcionales entre sí, es así es como surge el concepto de inversor en cascada asimétrico de potencia 2 (binario), de potencia 3 (trinario), etc. Así pues el valor que pueden tomar las fuentes son, por ejemplo para un inversor asimétrico binario, V_{DC} , $2V_{DC}$, $4V_{DC}$, $8V_{DC}$, etc. La relación para conocer el valor de la fuente para i -ésimo Puente H, si es de potencia 2 está dada por 2^{i-1} , en cambio para el de potencia 3 es 3^{i-1} .

La Figura 2.7 se muestra la estructura de un inversor multinivel puente H en cascada asimétrico de dos celdas, constituido por dos fuentes, una de alto voltaje y otra de menor voltaje, dónde la de menor voltaje es la mitad que la de mayor voltaje.

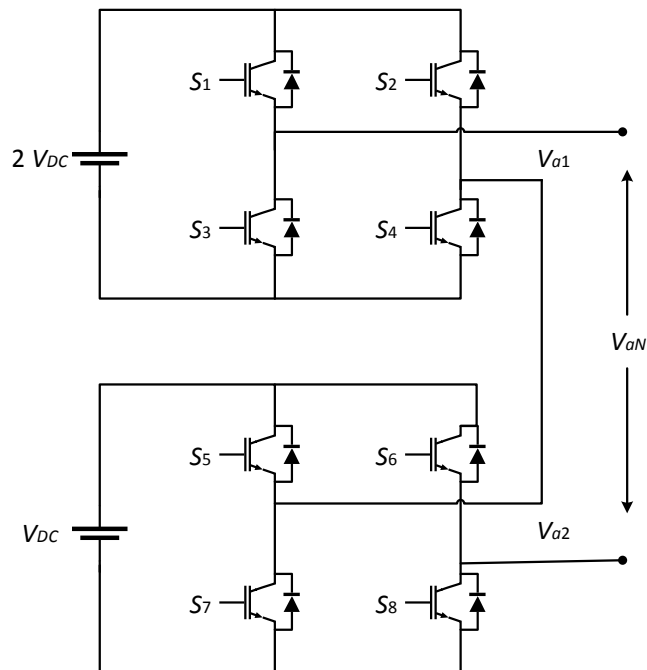


Figura 2.7: Inversor puente H en cascada asimétrico

Usando la secuencia de encendido Tabla 2.5, el inversor CHB asimétrico de la Figura 2.7 puede generar los siguientes niveles de tensión,

Tabla 2.5: Estados de conmutación de inversor CHB de Figura 2.7

V_{aN}	$S_{1,1}$	$S_{1,2}$	$S_{1,3}$	$S_{1,4}$	$S_{2,1}$	$S_{2,2}$	$S_{2,3}$	$S_{2,4}$
$3V_{DC}$	1	0	0	1	1	0	0	1
$2V_{DC}$	0	0	1	1	1	0	0	1
V_{DC}	1	0	0	1	0	0	1	1
0	1	1	0	0	1	1	0	0
0	0	0	1	1	0	0	1	1
$-V_{DC}$	0	1	1	0	0	0	1	1
$-2V_{DC}$	0	0	1	1	0	1	1	0
$-3V_{DC}$	0	1	1	0	0	1	1	0

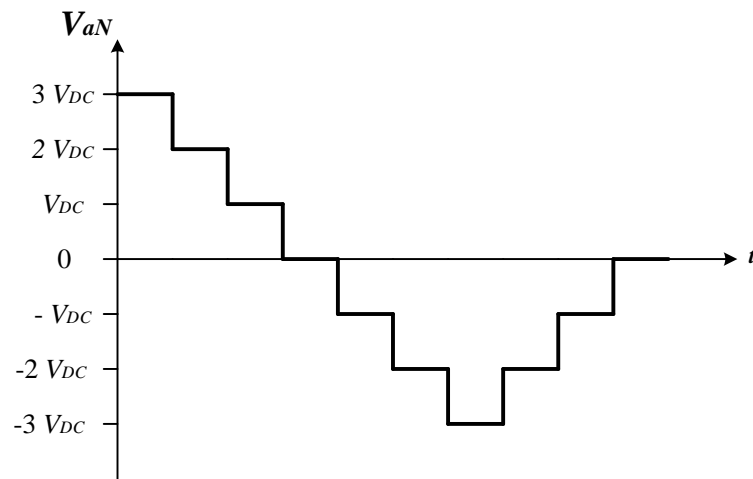


Figura 2.8: Voltaje de salida inversor de Figura 2.7

Lo que se puede concluir en primera instancia, es que el inversor CHB asimétrico aprovecha los estados redundantes para generar más niveles de tensión [21], tal como se puede visualizar en la Figura 2.8, dónde se muestra la salida del inversor asimétrico que consta de 7 niveles, y no como en el inversor simétrico que sólo genera 5 niveles.

Se suele utilizar la modulación NLM para CHB asimétricos, la cual simplemente selecciona el nivel de voltaje más cercano a la referencia, esta modulación se explicará en más detalle en el Capítulo 3. Utilizar la modulación NLM permite maximizar la calidad de la onda de voltaje de salida y proporciona una relación inversa entre la frecuencia y la potencia entregada en cada celda.

Lo interesante es que el voltaje de salida tiene una baja frecuencia en el inversor que tiene el voltaje DC más alto, minimizando así las pérdidas por conmutación [22].

En cuanto a las desventajas en este tipo de topología, es que al igual que el CHB simétrico necesita fuentes aisladas para su funcionamiento, en este caso fuentes asimétricas [23]. Además, las pérdidas en los semiconductores no son iguales para cada celda por lo que en el diseño del inversor asimétrico algunos interruptores deberán ser más robustos que otros, lo que permite la inclusión de diferentes tecnologías de dispositivos de semiconductores de potencia, lo que conlleva a que se dificulte su diseño y además se pierda la modularidad del equipo.

Otra gran desventaja de los inversores CHB con topología asimétrica es que algunas celdas del convertidor operan en modo regenerativo, específicamente las celdas que poseen un voltaje DC más pequeño, esto es independiente del tipo de carga que tengan conectada en la salida, pero si depende de la técnica de modulación que se utilice, esto ocurre para un cierto rango de índice de modulación [22], [24]. Varios autores han propuesto diversas soluciones a este problema como: usar un rectificador regenerativo y/o resistencias disipadoras [25]; aplicar una estrategia de modulación PWM especial para que la potencia media de todas las celdas sea siempre positiva, lo cual en su contraparte produce un alto THD [26], también se han propuesto métodos basados en la búsqueda de una óptima razón en los voltajes DC de cada celda como también sus respectivos ángulos de disparo, con la finalidad de minimizar el THD y además evitar la regeneración en algunas celdas del convertidor, este método ya ha sido probado en los inversores asimétricos de 13 niveles [24], 15 niveles [27] y 27 niveles [28].

2.3. Discusión

En la década de 1980, las preocupaciones de la electrónica de potencia se centraron en el aumento de potencia de los convertidores (aumento de voltaje y corriente). De hecho, los inversores fuente de corriente CSI fueron el foco principal de los investigadores con el fin de aumentar la corriente. Sin embargo, otros autores comenzaron a trabajar en la idea de aumentar el voltaje en vez de la corriente. Para lograr este objetivo los autores desarrollaron nuevas topologías de convertidores, y es así como en 1981 se presenta el primer convertidor multinivel, el NPC. Este inversor usa un arreglo de diodos y capacitores para lograr un nivel extra de tensión, en comparación al inversor fuente de voltaje tradicional de dos niveles (VSI-2L). Usando esta nueva tecnología, cada dispositivo de potencia tiene que soportar, como máximo, la mitad de la tensión en relación al VSI-

2L para la misma tensión del DC-link. Por lo tanto, si estos semiconductores de potencia tienen las mismas características que el caso de dos niveles, el voltaje se puede duplicar. El principal inconveniente con esta topología es que los diodos aumentan de forma cuadrática por cada nivel extra que se agregue y además los diodos deben ser de recuperación rápida para operar a una alta frecuencia de conmutación.

Es por eso que años más tarde, Meynard, propone una topología basada en condensadores de flotantes, esta topología es llamada Flying Capacitor. Si bien se soluciona el problema de la recuperación rápida de los diodos, ya que se reemplazan por condensadores, es esto mismo su mayor debilidad debido a que los condensadores deben mantener un voltaje constante en sus terminales, por lo cual para esta topología se requerirá de un esquema de control. Al igual que el NPC si se requieren agregar más niveles de tensión a la salida del convertidor se deben agregar más condensadores de fijación. La gran ventaja de esta topología en relación al NPC, es que genera tres niveles de voltaje pero con cuatro estados de conmutación, es decir, tiene un estado de conmutación redundante el cual puede ser usado en el control o en alguna optimización.

Es así como se llega al puente H en cascada, este inversor a diferencia del NPC y el FC, no está compuesto por componentes como diodos o condensadores, sino que solo es un particular arreglo de semiconductores conectados a una fuente de voltaje DC, los que le permite generar los tres niveles de tensión. Su característica más llamativa es su modularidad, pues para agregar más niveles de tensión basta con agregar un puente H en serie. Al igual que el FC, también posee estados de conmutación redundante. Otra ventaja de esta topología, es que puede generar un mismo número de niveles en la tensión de salida con una menor cantidad de componente a diferencia del NPC y FC. El principal inconveniente con esta topología, es que las fuentes de voltaje DC conectadas a cada puente H deben estar aisladas unas de otras; es por eso mismo, que se recomienda utilizar esta topología en fuentes de energía como baterías o plantas de energía fotovoltaica.

Como se presentó en esta unidad, los convertidores multinivel presentan diferentes características entre sí en varios factores. Dependiendo de la aplicación, la topología del convertidor multinivel puede elegirse teniendo en cuenta estos factores como se muestra en la Tabla 1 basada en [29].

Tabla 2.6: Tabla comparativa de topologías clásicas multinivel

Factor	NPC	FC	CHB
Requerimientos específicos	Diodos de Fijación	Condensadores adicionales	Fuentes DC aisladas
Modularidad	Baja	Alta	Alta
Complejidad de diseño e implementación	Baja	Media (condensadores)	Alta (transformador de entrada)
Preocupaciones del Control	Balance de voltaje	Ajuste de voltaje	División de potencia
Tolerancia de fallas	Difícil	Fácil	Fácil

Capítulo 3. Técnicas de Modulación PWM en Inversores Multinivel

3.1. Introducción

El principal desafío en los inversores multinivel es la técnica de modulación empleada para generar el encendido y apagado de los dispositivos semiconductores de potencia, los cuales tienen como objetivo principal asegurar las siguientes características [30]:

- Reducir los armónicos de corriente en la carga.
- Minimizar la frecuencia de conmutación.
- Asegurar frecuencia de conmutación uniforme para todos los dispositivos semiconductores.
- Asegurar que, en general, el balance en los condensadores del lado DC del convertidor se mantenga constante.

Los métodos de modulación usados en un inversor multinivel pueden ser clasificados de acuerdo a la frecuencia de conmutación, tal como se muestra en la Figura 3.1.

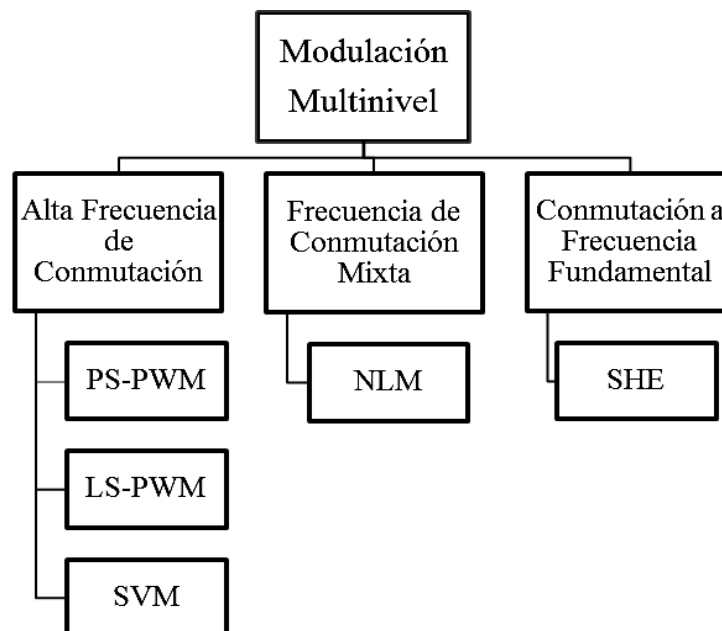


Figura 3.1: Clasificación técnicas de modulación multinivel

3.2. Phase-Shifted PWM

Antes de analizar la modulación PS-PWM hay que considerar dos parámetros importantes en cualquier técnica basada en PWM, el primero es el índice de modulación m_a , que representa el cociente entre la amplitud de la señal de referencia y la amplitud de la señal portadora [8]:

$$m_a = \frac{V_{ref}}{V_{port}} \quad (3.1)$$

Donde,

V_{ref} : Amplitud de la señal de referencia

V_{port} : Amplitud de la señal portadora

Variando el índice de modulación se varía la componente fundamental del voltaje de salida del convertidor. Este valor es comúnmente ajustado por la variación de V_{ref} mientras se conserva fijo V_{port} . Se recomienda que el índice de modulación sea menor o igual a 1, ya que dentro de este rango la técnica de modulación trabaja en el rango lineal. Si el $m_a > 1$ se produce la sobremodulación, con esto se obtiene una amplitud mayor en la componente fundamental del voltaje de salida pero a costa de la introducción de armónicos de bajo orden [30]. Un método para aumentar la magnitud de la componente fundamental del voltaje de salida sin causar sobremodulación, es la inyección de tercer armónica a la señal de referencia, cabe mencionar que el voltaje de salida en un convertidor trifásico no se verá afectada por la inyección de los armónicos triples, con esto se puede lograr aumentar la amplitud de la componente fundamental del voltaje línea a línea en un 15% [31].

Otro parámetro relevante es el índice de frecuencia m_f , que es la relación entre la frecuencia de la señal portadora y la señal modulante:

$$m_f = \frac{f_{port}}{f_{ref}} \quad (3.2)$$

Donde,

f_{port} : Frecuencia de la señal portadora

f_{ref} : Frecuencia de la señal de referencia

Cuando se usa PWM y el índice de frecuencia es un número entero, significa que la señal portadora está sincronizada con la señal de referencia y por lo tanto el esquema de modulación se denomina PWM sincrónica, en caso contrario se llama PWM asincrónica. Un esquema de modulación asincrónico genera subarmónicos de la frecuencia fundamental, que son muy indeseables en la mayoría de aplicaciones [32]. Por ejemplo, provocan pérdidas adicionales significativas en el cobre del rotor, por ende el motor se sobrecalienta [33], la velocidad del motor muestra una oscilación de baja frecuencia, por lo tanto, el motor pierde estabilidad a alta velocidad [34].

En general, un inversor multinivel con n -niveles de voltaje bajo la técnica de modulación PS-PWM requiere de $(n-1)$ señales portadoras triangulares. Por ejemplo, para un inversor CHB de 7 niveles la cantidad de portadoras es igual a 6, aunque podemos reducir a la mitad el número de portadoras si en vez de usar una sola onda referencia se usan dos ondas, pero una con polaridad inversa encargada de generar los disparos de los semiconductores inferiores de la pierna izquierda de los puente H.

La señal de referencia o moduladora, para este esquema es usualmente una onda sinusoidal trifásica con amplitud y frecuencia variable. Los pulsos de disparos de los semiconductores son generados por la comparación de la señal de referencia con las señales portadoras [8].

En esta modulación, todas las portadoras triangulares tienen la misma frecuencia y la misma amplitud peak-to-peak, pero están desfasadas entre ellas [8], este desfase está dado por:

$$\theta_c = \frac{360^\circ}{n-1} \quad (3.3)$$

Donde,

- θ_c : Ángulo de desfase entre señales portadoras
- n : Número de niveles del inversor

Este desfase de portadoras entrega el desfase óptimo entre portadoras para obtener el menor THD en el voltaje de salida, pues si se utiliza otro valor habría una distorsión armónica mayor.

En la Figura 3.2, se muestra la modulación PS-PWM para un inversor CHB de 7 niveles (Figura 3.3), donde 6 señales portadoras están desplazadas entre sí en 60° . En la Figura 3.2, sólo se ha graficado la fase a de la señal de referencia solo por simplicidad. Las portadoras v_{tri1} , v_{tri2} y v_{tri3} se encargan de generar los pulsos para los semiconductores superiores de la piernas izquierda de los inversores puentes H: S_1 , S_5 y S_9 . Mientras que las portadoras v_{tri1-} , v_{tri2-} y v_{tri3-} producen los disparos de los dispositivos superiores de las pierna derecha de los inversores: S_2 , S_6 y S_{10} . Los pulsos de

disparos para los semiconductores restantes, están dados por la complementariedad que existe de los inferiores con respecto a los superiores [8].

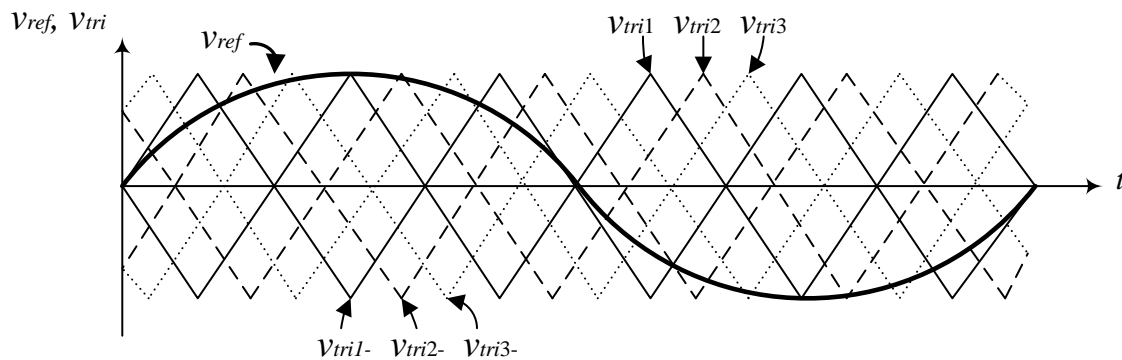


Figura 3.2: Modulación PS-PWM para un inversor CHB de 7 niveles

El criterio de comparación que utiliza esta técnica de modulación para generar los disparos se basa en que, cuando la señal de referencia es mayor que la portadora en la salida habrá un 1 lógico, en caso contrario la respuesta es un 0.

Es importante mencionar que este esquema de modulación es muy utilizado en topologías modulares como FC y CHB; dado que posee ventajas que la hacen llamativa para su uso, por ejemplo: ofrece una distribución de pérdidas iguales en cada módulo inversor, y es muy fácil de implementar independiente del número de celdas que se conecten a esta. Esta técnica de modulación cuando se implementa en un CHB, da como resultado una característica bastante positiva respecto al espectro armónico, ya que las componentes armónicas del voltaje de salida aparecen en la frecuencia de conmutación del inversor $f_{sw,inv}$ [8],

$$f_{sw,inv} = (n-1)f_{port} \quad (3.4)$$

Donde,

- n : Números de niveles del inversor
- f_{port} : Frecuencia de la señal portadora

Por lo que las componentes armónicas del voltaje de salida se desplazan hacia las altas frecuencias. Debido a esto se puede concluir que si se quieren desplazar más hacia las altas frecuencia las componentes armónicas del voltaje de salida, basta con aumentar la frecuencia de la señal portadora, y con esto bastaría un filtro pasabajos pequeño para eliminar estos armónicos.

Por otro lado, su gran falencia es que al ser una modulación de alta frecuencia de conmutación las pérdidas en los semiconductores también, en un principio, deberían serlo (la frecuencia de conmutación para esta técnica la proporciona la frecuencia de las señales portadoras).

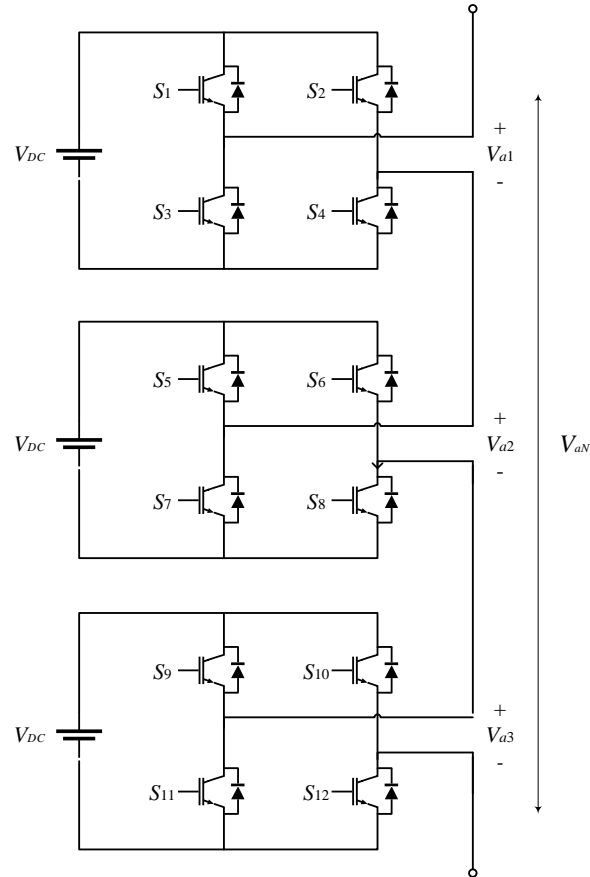


Figura 3.3: Inversor CHB de 7 niveles

3.3. Level-Shifted PWM

Este popular método SPWM de alta frecuencia, se basa en que para un inversor de n -niveles se deben generar $n-1$ portadoras triangulares ($V_{tri1}, V_{tri2}, \dots, V_{trin}$) con la misma frecuencia y que las amplitudes sean tal que ocupen completamente las bandas contiguas del rango $+1$ a -1 , estas portadoras son comparadas instantáneamente con una señal modulante sinusoidal (V_{ref}), para determinar la secuencia de disparo de los semiconductores [35]. Existen tres alternativas de disposición de las portadoras, estas son:

- APOD: cada portadora está desplazada 180° de la portadora adyacente (Figura 3.4.a).
- POD: las portadoras que están sobre la referencia sinusoidal tomando referencia el punto cero están desfasadas 180° de las portadoras que se encuentran debajo (Figura 3.4.b).
- PD: todas las portadoras están en fase (Figura 3.4.c).

De estas tres variantes de LS-PWM, se ha aceptado, hasta ahora, que la estrategia PD es la que genera la menor distorsión armónica línea a línea para inversores trifásico de 3 o más niveles [35].

Para obtener los pulsos de disparo se sigue el siguiente criterio: cuando la señal de referencia sea mayor o igual a las portadoras más externas, se obtendrá como resultado un 1 lógico, en caso contrario se obtiene un 0. Luego, cuando el par de portadoras más próximas sean menor que la referencia se obtiene un 0, si es mayor o igual, un 1 lógico. Así sucesivamente hasta llegar al par de portadoras más internas, usando el mismo criterio ya mencionado.

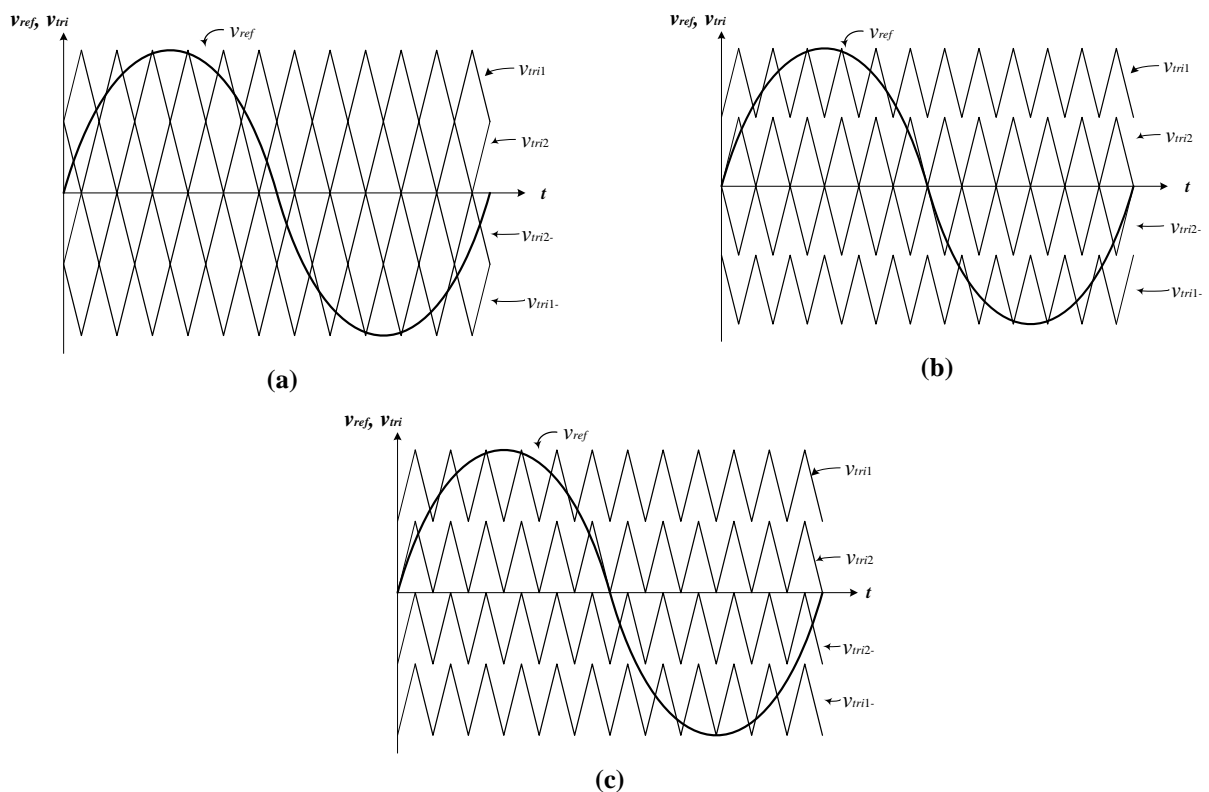


Figura 3.4: Disposición de las portadoras en LS-PWM

(a) APOD; (b) POD; (c) PD

Por ejemplo, para el caso de la Figura 3.4, si la referencia es mayor o igual que las portadoras más externas (v_{tri1} , v_{tri1-}) se activan los dispositivos semiconductores, en caso contrario no, al mismo tiempo si la referencia es mayor o igual que el par de portadoras internas más próximas (v_{tri2} , v_{tri2-}) estas encienden los interruptores. Cabe señalar que un par de portadoras genera los pulsos de disparo para un inversor, si se agregan más inversores conectados en serie, se deben agregar más portadoras.

En este esquema de modulación, el índice de frecuencia se define igual que en la ecuación (3.2). En cambio, el índice de modulación se define como [8]:

$$m_a = \frac{V_{ref}}{V_{port}(n-1)} \quad \text{para } 0 \leq m_a \leq 1 \quad (3.5)$$

La principal característica de esta modulación es que produce una distribución de potencia asimétrica en los semiconductores del convertidor, es decir, algunos interruptores conmutarán más veces que otros, por lo cual las pérdidas para cada celda inversora serán diferentes una de otra. Por ejemplo, para el caso de un inversor CHB de 5 niveles (2 celdas inversoras puente H), los voltajes de salida de cada celda y del inversor, se muestran en la Figura 3.5.

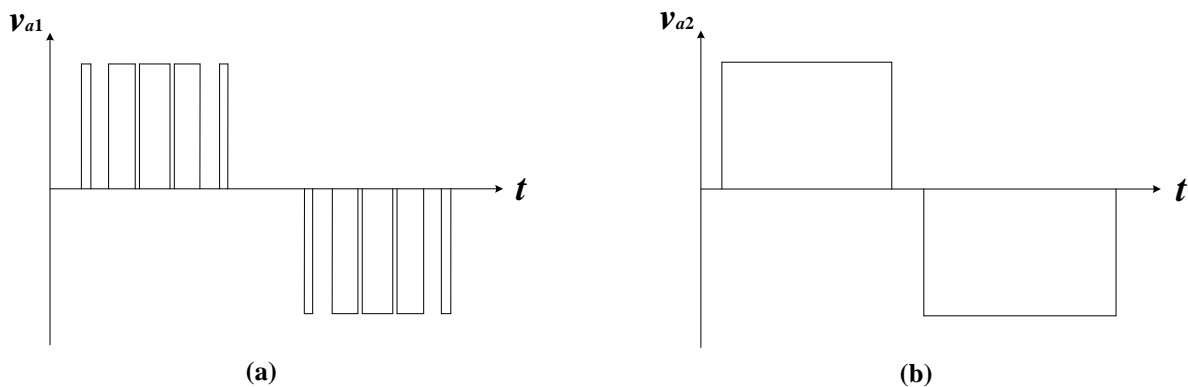


Figura 3.5: Voltajes de salida de cada puente H de un inversor CHB de niveles

(a) voltaje de salida puente H₁; (b) voltaje de salida puente H₂

Esta característica permite al diseñador del equipo combinar distintas tecnologías de semiconductores de potencia, como también dificulta su diseño y construcción.

Tanto el tiempo de conducción como la frecuencia de conmutación de los dispositivos semiconductores para esta modulación no están igualmente distribuidos [8], esto redundando en que algunos dispositivos tendrán más pérdidas que otros.

Así, la frecuencia de conmutación no la entrega la frecuencia de la portadora como en PS-PWM, pues como se dijo anteriormente, la frecuencia de conmutación en cada puente H es diferente, para el ejemplo de la Figura 3.5 en el puente H₁ la frecuencia de conmutación es 250 [Hz], en cambio en el puente H₂ es sólo de 50 [Hz]; la frecuencia de conmutación de los dispositivos se obtiene del número de pulsos por período multiplicado por la frecuencia de la señal de referencia [8].

En general, se puede sacar un valor medio de frecuencia de conmutación para todos los semiconductores el cual está dado por:

$$f_{sw,dev} = \frac{f_{port}}{n-1} \quad (3.6)$$

En cuanto al espectro de frecuencia, de acuerdo a la información entregada en [8], se simuló un CHB con modulación PD, donde la frecuencia de las portadoras era 3600 [Hz] y la de referencia era de 60 [Hz], lo cual da un índice de frecuencia $m_f = 60$, aquí las componentes armónicas del voltaje de fase v_{aN} aparecieron en bandas alrededor del orden del índice de frecuencia. Esto significa que si queremos desplazar a las altas frecuencias las componentes armónicas se debe aumentar la frecuencia de las señales portadoras, lo que a su vez aumenta la frecuencia de conmutación de los dispositivos semiconductores, y esto puede conllevar a una mayor pérdida en el inversor.

3.4. Space Vector Modulation (SVM)

El *Space Vector Modulation* es una de las técnicas de modulación en tiempo real preferidas y se usa ampliamente para el control digital de inversores de fuente de tensión. Generalmente, los inversores multinivel se caracterizan por poseer varios estados redundantes de conmutación para producir algunos niveles de tensión, esta atractiva característica es la que utiliza el SVM para crear un mapa de conmutación con todos los estados posibles para generar los distintos niveles de tensión. Esta técnica de modulación puede ser extendida para todos los inversores multiniveles, en otras palabras es válido para un inversor de n -niveles como un NPC, un FC o un CHB [6].

El SVM tiene como objetivo aproximar un vector de tensión de salida, por medio de una apropiada combinación de estados de conmutación, los cuales se encuentran representados en los vectores espaciales [36]. Este método ofrece ciertas características significativas en comparación a las técnicas de modulación basadas en SPWM, como por ejemplo: un mejor desempeño del inversor en cuanto a eficiencia, menor contenido armónico en el voltaje de salida, mayor rango de modulación lineal, esto está estrictamente relacionado con el índice de modulación [8].

En general, para un inversor trifásico de n -niveles la cantidad vectores de voltaje que puede generar está dada por la expresión n^3 [37]. Por ejemplo, un inversor CHB trifásico de 5 niveles puede generar 125 posibles estados de conmutación incluyendo las redundancias y sin redundancias son 61 vectores de voltaje diferentes.

Tabla 3.1: Estados de conmutación de NPC trifásico de 3 niveles

Vector Espacial	Estado de Comm.	Voltaje de fase			Voltaje línea a línea			Voltajes alfa-beta	
		V_{aN}	V_{bN}	V_{cN}	V_{ab}	V_{bc}	V_{ca}	V_α	V_β
\vec{V}_0	[MMM]	$-V_{DC}/2$	$-V_{DC}/2$	$-V_{DC}/2$	0	0	0	0	0
	[OOO]	0	0	0					
	[PPP]	$V_{DC}/2$	$V_{DC}/2$	$V_{DC}/2$					
\vec{V}_1	[POO]	$V_{DC}/2$	0	0	$V_{DC}/2$	0	$V_{DC}/2$	$1/3 V_{DC}$	0
	[OMM]	0	$-V_{DC}/2$	$-V_{DC}/2$					
\vec{V}_2	[PPO]	$V_{DC}/2$	$V_{DC}/2$	0	0	$V_{DC}/2$	$-V_{DC}/2$	$1/6 V_{DC}$	$1/\sqrt{12} V_{DC}$
	[OOM]	0	0	$-V_{DC}/2$					
\vec{V}_3	[OPO]	0	$V_{DC}/2$	0	$-V_{DC}/2$	$V_{DC}/2$	0	$-1/6 V_{DC}$	$1/\sqrt{12} V_{DC}$
	[MOM]	$-V_{DC}/2$	0	$-V_{DC}/2$					
\vec{V}_4	[OPP]	0	$V_{DC}/2$	$V_{DC}/2$	$-V_{DC}/2$	0	$V_{DC}/2$	$-1/3 V_{DC}$	0
	[MOO]	$-V_{DC}/2$	0	0					
\vec{V}_5	[OOP]	0	0	$V_{DC}/2$	0	$-V_{DC}/2$	$V_{DC}/2$	$-1/6 V_{DC}$	$-1/\sqrt{12} V_{DC}$
	[MMO]	$-V_{DC}/2$	$-V_{DC}/2$	0					
\vec{V}_6	[POP]	$V_{DC}/2$	0	$V_{DC}/2$	$V_{DC}/2$	$-V_{DC}/2$	0	$1/6 V_{DC}$	$-1/\sqrt{12} V_{DC}$
	[OMO]	0	$-V_{DC}/2$	0					
\vec{V}_7	[POM]	$V_{DC}/2$	0	$-V_{DC}/2$	$V_{DC}/2$	$V_{DC}/2$	$-V_{DC}$	$1/2 V_{DC}$	$1/\sqrt{12} V_{DC}$
\vec{V}_8	[OPM]	0	$V_{DC}/2$	$-V_{DC}/2$	$-V_{DC}/2$	V_{DC}	$-V_{DC}/2$	0	$1/\sqrt{3} V_{DC}$
\vec{V}_9	[MPO]	$-V_{DC}/2$	$V_{DC}/2$	0	$-V_{DC}$	$V_{DC}/2$	$V_{DC}/2$	$-1/2 V_{DC}$	$1/\sqrt{12} V_{DC}$
\vec{V}_{10}	[MOP]	$-V_{DC}/2$	0	$V_{DC}/2$	$-V_{DC}/2$	$-V_{DC}/2$	V_{DC}	$-1/2 V_{DC}$	$-1/\sqrt{12} V_{DC}$
\vec{V}_{11}	[OMP]	0	$-V_{DC}/2$	$V_{DC}/2$	$V_{DC}/2$	$-V_{DC}$	$V_{DC}/2$	0	$-1/\sqrt{3} V_{DC}$
\vec{V}_{12}	[PMO]	$V_{DC}/2$	$-V_{DC}/2$	0	V_{DC}	$-V_{DC}/2$	$-V_{DC}/2$	$1/2 V_{DC}$	$-1/\sqrt{12} V_{DC}$
\vec{V}_{13}	[PMM]	$V_{DC}/2$	$-V_{DC}/2$	$-V_{DC}/2$	V_{DC}	0	$-V_{DC}/2$	$2/3 V_{DC}$	0
\vec{V}_{14}	[PPM]	$V_{DC}/2$	$V_{DC}/2$	$-V_{DC}/2$	0	V_{DC}	$-V_{DC}$	$1/3 V_{DC}$	$1/\sqrt{3} V_{DC}$
\vec{V}_{15}	[MPM]	$-V_{DC}/2$	$V_{DC}/2$	$-V_{DC}/2$	$-V_{DC}$	V_{DC}	0	$-1/3 V_{DC}$	$1/\sqrt{3} V_{DC}$
\vec{V}_{16}	[MPP]	$-V_{DC}/2$	$V_{DC}/2$	$V_{DC}/2$	$-V_{DC}$	0	V_{DC}	$-2/3 V_{DC}$	0
\vec{V}_{17}	[MMP]	$-V_{DC}/2$	$-V_{DC}/2$	$V_{DC}/2$	0	$-V_{DC}$	V_{DC}	$-1/3 V_{DC}$	$-1/\sqrt{3} V_{DC}$
\vec{V}_{18}	[PMP]	$V_{DC}/2$	$-V_{DC}/2$	$V_{DC}/2$	V_{DC}	$-V_{DC}$	0	$1/3 V_{DC}$	$-1/\sqrt{3} V_{DC}$

En la Tabla 3.1 se pueden apreciar 19 vectores espaciales generados por 27 diferentes estados de conmutación de un NPC trifásico de 3 niveles, este ejemplo puede extenderse para un

inversor CHB. Los valores de los vectores de voltaje se obtienen de la transformación de Clarke (3.7), en la misma tabla se pueden observar los valores de voltaje para cada fase (a, b, c), los voltajes de línea y los voltajes en coordenadas α - β .

$$\begin{bmatrix} v_\alpha(t) \\ v_\beta(t) \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_{aN}(t) \\ v_{bN}(t) \\ v_{cN}(t) \end{bmatrix} \quad (3.7)$$

Una vez obtenidos los vectores de voltaje, se procede a inscribirlos en un mapa α - β , logrando así el conocido hexágono de vectores espaciales (Figura 3.6)

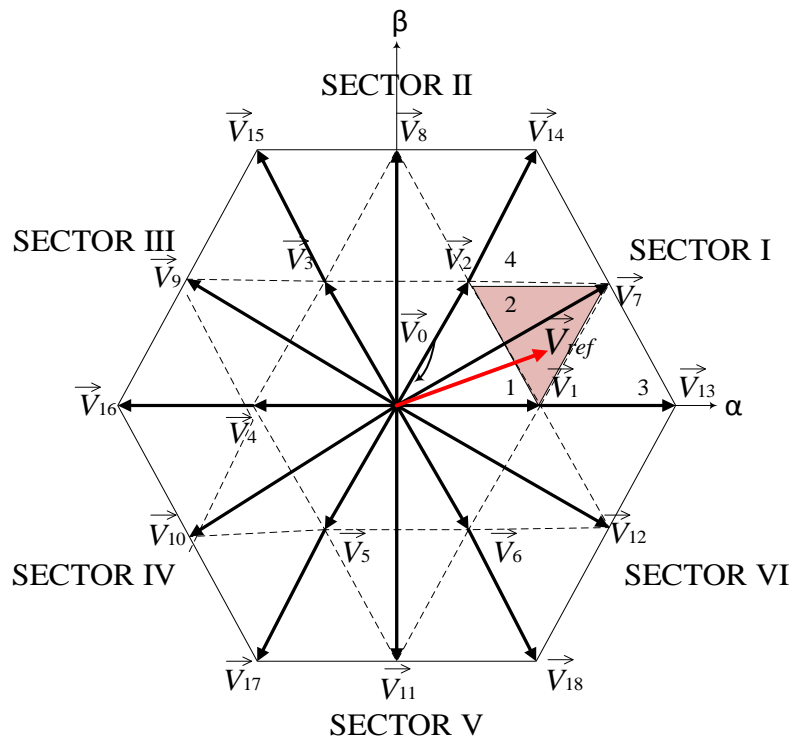


Figura 3.6: Diagrama genérico de espacio vectorial

Aquí, basado en la magnitud (largo), los voltajes vectoriales pueden ser divididos en 4 grupos [8]:

- **Vector Cero** (\vec{V}_0): representando los tres estados de conmutación [PPP], [OOO] y [MMM]. Su magnitud es igual a cero.
- **Vectores Pequeños** (de \vec{V}_1 a \vec{V}_6): todos tienen una magnitud de $V_{DC}/3$. Cada vector pequeño tiene dos estados de conmutación, uno contiene [P] y el otro contiene [N], y por lo tanto puede ser clasificado en un vector pequeño tipo P o N.

- **Vectores Medianos** (de \vec{V}_7 a \vec{V}_{12}): cuya magnitud es igual a $\sqrt{3}V_{DC}/3$.
- **Vectores Grandes** (de \vec{V}_{13} a \vec{V}_{18}): todos tienen una magnitud de $2V_{DC}/3$.

Para una determinada magnitud y posición, V_{ref} puede ser representado por los tres vectores espaciales más cercanos a este, y considerando además el tiempo de aplicación de estos. Cuando V_{ref} está girando alrededor del diagrama va seleccionando distintos vectores espaciales (estados de conmutación), con el cual los interruptores comienzan a accionarse, cabe señalar que cuando V_{ref} da un giro completo al diagrama de vectores espaciales, el voltaje de salida del inversor completa un ciclo en el tiempo, esto significa que, la frecuencia de salida del inversor depende de la velocidad de giro del vector V_{ref} , mientras que, la amplitud del voltaje de salida es controlada por medio de la magnitud de V_{ref} [8]. El voltaje de referencia V_{ref} que se desea generar no es fijo y gira a una velocidad angular que está determinada por,

$$\omega_{ref} = 2\pi f_0 \quad (3.8)$$

Donde,

f_0 : es la frecuencia fundamental del voltaje de salida del inversor.

El tiempo de aplicación de los vectores espaciales representa la relación en la que un determinado interruptor está abierto o cerrado durante un período de conmutación T_s [8].

Para facilitar el cálculo T_s , el diagrama de espacio vectorial de la Figura 3.6 puede ser dividido en 6 sectores (I a VI), donde cada sector puede ser subdividido en 4 regiones (1 a 4) como se pueden ver en la Figura 3.6 con forma de triángulos en línea pre-cortada.

El algoritmo del SVM está basado en el principio del “balance volt-segundo” [8]; esto es, el producto del vector de referencia \vec{V}_{ref} y T_s es igual a la suma de la tensión multiplicada por el intervalo de tiempo de los vectores espaciales elegidos. Por ejemplo, si se toma V_{ref} de la Figura 3.6 (en rojo), vemos que el vector cae en la región 2 del sector I, este se encuentra más próximo a los vectores \vec{V}_1 , \vec{V}_2 y \vec{V}_7 , por lo tanto se debe cumplir que,

$$\vec{V}_{ref} \cdot T_s = \vec{V}_1 \cdot T_1 + \vec{V}_2 \cdot T_2 + \vec{V}_7 \cdot T_7 \quad (3.9)$$

Según la Tabla 3.1, los vectores de voltaje \vec{V}_1 , \vec{V}_2 y \vec{V}_7 pueden ser expresados como,

$$\vec{V}_1 = \frac{1}{3}V_{DC}; \quad \vec{V}_2 = \frac{1}{6}V_{DC} + j\frac{1}{\sqrt{12}}V_{DC}; \quad \vec{V}_7 = \frac{1}{2}V_{DC} + j\frac{1}{\sqrt{12}}V_{DC} \quad (3.10)$$

Luego, calculando para cada vector su magnitud y su fase, y posteriormente llevándolo a la notación de la fórmula de Euler,

$$\vec{V}_1 = \frac{1}{3}V_{DC}; \quad \vec{V}_2 = \frac{1}{3}V_{DC} \cdot e^{j\frac{\pi}{3}}; \quad \vec{V}_7 = \frac{\sqrt{3}}{3}V_{DC} \cdot e^{j\frac{\pi}{6}} \quad (3.11)$$

Mientras que el voltaje de referencia lo podemos asignar como,

$$\vec{V}_{ref} = V_{ref} \cdot e^{j\theta} \quad (3.12)$$

Donde,

V_{ref} : es la magnitud del vector \vec{V}_{ref} .

θ : es el ángulo de \vec{V}_{ref} con respecto al eje α .

Sustituyendo (3.11) y (3.12) en (3.9),

$$\frac{1}{3}V_{DC} \cdot T_1 + \frac{\sqrt{3}}{3}V_{DC} \cdot e^{j\frac{\pi}{6}} \cdot T_2 + \frac{1}{3}V_{DC} \cdot e^{j\frac{\pi}{3}} \cdot T_7 = V_{ref} \cdot e^{j\theta} \cdot T_s \quad (3.13)$$

Así, desarrollando la fórmula de Euler,

$$\begin{aligned} \frac{1}{3}V_{DC} \cdot T_1 + \frac{\sqrt{3}}{3}V_{DC} \cdot \left(\cos \frac{\pi}{6} + j \sin \frac{\pi}{6} \right) \cdot T_2 + \frac{1}{3}V_{DC} \cdot \left(\cos \frac{\pi}{3} + j \sin \frac{\pi}{3} \right) \cdot T_7 \\ = V_{ref} (\cos \theta + j \sin \theta) \cdot T_s \end{aligned} \quad (3.14)$$

Separando (3.14) en parte real e imaginaria se tiene,

$$\begin{aligned} \text{Re:} \quad T_1 + \frac{3}{2}T_2 + \frac{1}{2}T_7 &= 3 \frac{V_{ref}}{V_{DC}} (\cos \theta) T_s \\ \text{Im:} \quad \frac{3}{2}T_2 + \frac{\sqrt{3}}{2}T_7 &= 3 \frac{V_{ref}}{V_{DC}} (\sin \theta) T_s \end{aligned} \quad (3.15)$$

Resolviendo el sistema de ecuaciones de (3.15) y $T_s = T_1 + T_2 + T_7$, obtenemos que,

$$\begin{aligned} T_1 &= T_s [1 - 2m_a \sin \theta] \\ T_2 &= T_s \left[2m_a \sin \left(\frac{\pi}{3} + \theta \right) - 1 \right] \quad \text{para } 0 \leq \theta \leq \frac{\pi}{3} \\ T_7 &= T_s \left[1 - 2m_a \sin \left(\frac{\pi}{3} - \theta \right) \right] \end{aligned} \quad (3.16)$$

Donde m_a es el índice de modulación y se define como [8],

$$m_a = \sqrt{3} \frac{V_{ref}}{V_{DC}} \quad (3.17)$$

El largo máximo del vector de referencia \vec{V}_{ref} corresponde al radio de la circunferencia que puede ser inscrita en el hexágono de la Figura 3.6, radio que corresponde al largo de los vectores medianos [8], es decir,

$$V_{ref,max} = \sqrt{3} \frac{V_{DC}}{3} \quad (3.18)$$

Sustituyendo, (3.18) en (3.17) obtenemos el rango máximo del índice de modulación,

$$0 \leq m_a \leq 1 \quad (3.19)$$

Una vez determinados los vectores espaciales ($\vec{V}_1, \vec{V}_2, \vec{V}_7$) y los tiempos de aplicación (T_1, T_2, T_7) [8], el siguiente paso es determinar la secuencia de conmutación. En general, la secuencia de conmutación que genera V_{ref} no es única, pero para satisfacer el requerimiento de minimizar la frecuencia de conmutación en los semiconductores, es necesario que se cumplan ciertos criterios:

- La transición entre cada uno de los estados de conmutación debe involucrar únicamente dos interruptores de la misma rama, uno que está encendido y otro que está apagado.
- Es necesario minimizar lo más posible las conmutaciones cuando V_{ref} transita entre las diferentes regiones del espacio vectorial.
- Minimizar el efecto del voltaje de modo común (voltaje entre el punto neutro del lado DC y el punto neutro del lado AC del inversor).

El SVM debe tener cierto cuidado con el manejo de los estados redundantes para optimizar la búsqueda de los vectores de voltaje y para aplicar una secuencia de conmutación adecuada. Además, las mismas propiedades de redundancia de los estados de conmutación permiten la mejora de la técnica de modulación para cumplir objetivos adicionales como la reducción de la tensión de modo común del voltaje de salida, la reducción del efecto de sobremodulación en las corrientes de salida, la mejora del espectro de voltaje, minimizar la frecuencia de conmutación y controlar la tensión de enlace DC cuando se usan condensadores.

3.5. Nearest Level Modulation (NLM)

La técnica de modulación *Nearest Level Modulation* o simplemente NLM, es ampliamente utilizada en la topología de inversores CHB asimétricos, pues cual permite maximizar la calidad de la onda de voltaje de salida y proporciona una relación inversa entre la frecuencia y la potencia entregada en cada celda, es decir, la celda que maneja el nivel de potencia más alto es la que conmuta menos y viceversa [22]. Esta es una gran ventaja, pues las pérdidas debido a la conmutación son mucho menores. Es por eso que el desarrollo de esta técnica estará enfocado hacia ese inversor.

Esta técnica de modulación, también conocida como *Round* (Redondeo), consiste en seleccionar el nivel de voltaje más cercano a la señal de referencia mediante el redondeo de esta a los niveles de voltaje posibles de generar por el inversor. Toda la explicación de la implementación de este tipo de modulación se obtuvo del trabajo realizado en [22]. Para obtener el patrón de conmutación, el voltaje de referencia se multiplica por el número total de niveles positivos N , por ejemplo, si el inversor tiene una proporción 1:3:9, el número total de niveles positivos es 13. Entonces se aplica la función de redondeo para encontrar el nivel de voltaje requerido,

$$v_o^* = \text{round} \{ N_p \cdot m_a \cdot \sin(\omega t) \} \quad (3.20)$$

Donde,

- N_p : número de niveles positivos
- m_a : índice de modulación
- ω : frecuencia angular
- t : tiempo

El valor del voltaje resultante de (3.20) es usado como un índice para la tabla de consulta, tabla que contiene los estados de conmutación de cada celda para entregar el voltaje requerido, este índice se calcula como,

$$\text{índice} = N_p + 1 - v_o^* \quad (3.21)$$

Si el inversor es un CHB asimétrico de razón $k_1:k_2:k_3$, como el que se muestra en la Figura 3.7, la tabla con sus respectivos estados de conmutación se encuentran en la Tabla 3.2.

Por otro parte, también se puede describir esta técnica a través de un análisis matemático como un algoritmo de comparación [22]. Considerando la primera celda inversora con el voltaje DC más alto, el voltaje de referencia es la señal de modulación original v_{r1} ,

$$v_{r1} = m_a \cdot \sin(\omega t) \quad (3.22)$$

Tabla 3.2: Estados de conmutación de inversor CHB asimétrico con razón $k_1:k_2:k_3$

Estado (índice)	v_{o1}	v_{o2}	v_{o3}	v_o
1	k_1	k_2	k_3	N_p
2	k_1	k_2	0	$k_{1+} k_2$
3	k_1	k_2	$-k_3$	$k_{1+} k_2 \cdot k_3$
4	k_1	0	k_3	$k_{1+} k_3$
5	k_1	0	0	k_1
6	k_1	0	$-k_3$	$k_1 \cdot k_3$
7	k_1	$-k_2$	k_3	$k_1 \cdot k_{2+} k_3$
8	k_1	$-k_2$	0	$k_1 \cdot k_2$
9	k_1	$-k_2$	$-k_3$	$k_1 \cdot k_2 \cdot k_3$
10	0	k_2	k_3	$k_{2+} k_3$
...
26	$-k_1$	$-k_2$	0	$-k_1 - k_2$
27	$-k_1$	$-k_2$	$-k_3$	$-N_p$

El patrón de conmutación (señales de pulsos que encienden los semiconductores) para este inversor se obtiene por la comparación de la señal de referencia con una constante c_1 dada por,

$$c_1 = \frac{k_1}{2N_p} \quad (3.23)$$

Donde k_1 , k_2 y k_3 son las constantes de los voltajes DC (ver Figura 3.7), que representan la razón de los voltajes DC de la topología, por ejemplo, tomando la proporción 9:3:1, k_1 representa la constante más alta es decir 9, y por consiguiente $k_2 = 3$ y $k_3 = 1$.

Luego de aclarar este punto, el patrón de conmutación para esta celda inversora queda dado por la función de la ecuación (3.24),

$$S_1 = (v_{r1} > c_1) - (v_{r1} < -c_1) \quad (3.24)$$

Donde el resultado de esta comparación es 1 si es cierto o 0 en otro caso. Así el voltaje de salida de la celda 1 es,

$$v_{a1} = S_1 \cdot k_1 \cdot V_{DC} \quad (3.25)$$

Después, para obtener el voltaje de referencia para la celda 2, se obtiene de (3.26),

$$v_{r2} = v_{r1} - 2 \cdot c_1 \cdot S_1 \quad (3.26)$$

Posteriormente, el proceso de cálculo para obtener: el nivel de comparación, el patrón de conmutación y el voltaje de salida del puente H_2 se repite usando las ecuaciones (3.23), (3.24) y (3.25). El mismo proceso se repite para el puente H_3 .

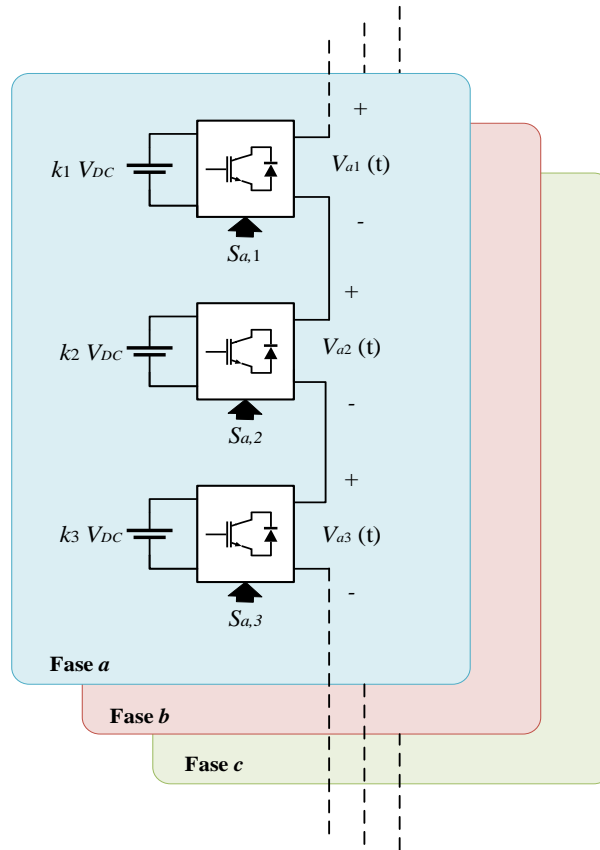


Figura 3.7: CHB asimétrico de 3 puente H con proporción $k_1:k_2:k_3$

El algoritmo completo para los l inversores puente H que pueda haber, se puede resumir como [22],

$$v_{rl} = \begin{cases} m_a \cdot \sin(\omega t) & l = 1 \\ v_{r(l-1)} - 2 \cdot c_{r(l-1)} \cdot S_{r(l-1)} & l > 1 \end{cases} \quad (3.27)$$

$$c_l = \frac{k_l}{2N_p} \quad (3.28)$$

$$S_l = (v_l > c_l) - (v_l < -c_l) \quad (3.29)$$

$$v_{al} = S_l \cdot k_l \cdot V_{DC} \quad (3.30)$$

Cabe señalar que sólo se considera la fase “a” a modo de simplicidad.

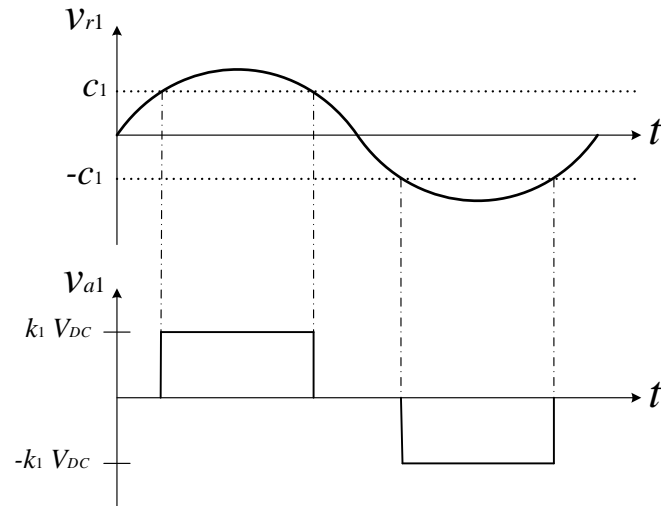


Figura 3.8: Generación patrón de conmutación y voltaje de salida v_{a1}

3.6. Selective Harmonic Elimination (SHE)

Esta modulación fue introducida en 1973, como una efectiva técnica para eliminar armónicas de bajo orden en inversores de alta potencia de dos niveles [38], pero se extrapolado a los inversores multinivel. Esta técnica es una atractiva opción para que el inversor opere con una baja frecuencia de conmutación para reducir las pérdidas en los semiconductores [39].

Este tipo de modulación está fundado en un cálculo matemático de manera off-line fundamentándose en la PWM, pero sin basarse en la técnica que incluye portadoras, se mencionó el SHE no puede configurarse en tiempo real, sino que debe ser diseñada antes de ser implementada en el controlador digital, lo que se obtiene de este esquema, teóricamente, es un voltaje de salida con cero distorsión producida por armónicas específicas, en otras palabras esta técnica permite seleccionar las armónicas que se desean eliminar para que no aparezcan en el voltaje de salida [40]; es importante indicar que las ecuaciones utilizadas para obtener los ángulos de conmutación son no lineales y trascendentales, por lo que no siempre tendrán una solución válido para todo el rango de m_a , cuando eso sucede los ángulos de conmutación deberán ser calculados para minimizar las magnitudes de esos ángulos que no pueden ser eliminados [8]. Generalmente, las armónicas que se eliminan son las más significantes de baja frecuencia, o las que produzcan algún tipo de resonancia en algún filtro del sistema, pues las armónicas de mayor frecuencia pueden ser mitigadas y/o eliminadas con algún filtro más pequeño.

La teoría de esta técnica de modulación consiste en realizar un análisis a las Series de Fourier, considerando que la amplitud de cualquier armónico impar de la forma de onda escalonada de salida del inversor puede ser expresada mediante la ecuación (3.34), mientras que las amplitudes de los armónicos pares son cero debido a que el voltaje de salida tiene simetría impar en media y cuarta onda [41]. Como se puede ver en la Figura 3.9, un convertidor multinivel puede generar una forma de cuarto de onda simétrica de tensión escalonada, en base a varias tensiones DC. Aplicando un análisis de Series de Fourier, podemos descomponer el voltaje de salida V_{aN} (Figura 3.9),

$$V_{aN} = \sum_{h=1}^{\infty} a_h \cdot \cos(\omega t) + \sum_{h=1}^{\infty} b_h \cdot \sin(\omega t) \quad (3.31)$$

Donde,

$$a_h = 0, \quad \forall h \text{ debido a simetría impar} \quad (3.32)$$

$$b_h = \frac{4}{\pi} \int_0^{\frac{\pi}{2}} V_{aN}(\omega t) \cdot \sin(\omega t) d(\omega t) \quad (3.33)$$

Suponiendo que todos los niveles de tensión son iguales y resolviendo (3.33) obtenemos que la amplitud del k -ésimo armónico es,

$$b_h = \frac{4 \cdot V_{DC}}{h \cdot \pi} \sum_{i=1}^k \cos(h \cdot \alpha_i) \quad (3.34)$$

Donde,

V_{DC} : valor del nivel de voltaje DC

h : orden del armónico impar

k : número total de ángulos de conmutación

α_i : i -ésimo ángulo de conmutación, donde $\alpha_1 < \dots < \alpha_i < \dots < \alpha_k < \frac{\pi}{2}$

Si los ángulos de conmutación no satisfacen la condición, el método no existe y el THD incrementa drásticamente [42]. Debido a esta razón, esta técnica de modulación proporciona un rango estrecho de índice de modulación, lo cual es una desventaja [42]. Por otra parte, es importante señalar que para k ángulos de conmutación, $k-1$ armónicos pueden ser eliminados manteniendo la componente fundamental con amplitud ajustable.

Por ejemplo, si se quieren eliminar los armónicos 5 y 7 del voltaje de salida del convertidor, se deben resolver las ecuaciones (3.35) y (3.36).

$$b_5 = \frac{4}{5\pi} V_{DC} \sum_{i=1}^3 \cos(5 \cdot \alpha_i) = 0 \quad (3.35)$$

$$b_7 = \frac{4}{7\pi} V_{DC} \sum_{i=1}^3 \cos(7 \cdot \alpha_i) = 0 \quad (3.36)$$

Y la componente fundamental puede ser controlada por el índice de modulación mediante la expresión (3.37).

$$m_a = \frac{b_1}{V_{DC}} = \frac{4}{\pi} \sum_{i=1}^3 \cos(\alpha_i) \quad (3.37)$$

La forma de onda de la salida del inversor se muestra en la Figura 3.9, donde se pueden ver los diferentes ángulos de conmutación α_i , y las fuentes de voltaje V_i que forman a la onda.

Cuando se utiliza este método con frecuencia de conmutación fundamental, normalmente todos los voltajes DC están involucrados, y además todos los interruptores se encienden y se apagan una vez por ciclo. Utilizando este método de modulación se obtiene una baja frecuencia de conmutación por ciclo, reduciendo así las pérdidas por conmutación en los dispositivos semiconductores. Además, se eliminan componentes de baja frecuencia que son indeseadas. En cuanto a desventajas, una de las principales, como ya mencionamos, es que este método tiene un limitado índice de modulación, y además a medida que se quiere eliminar una mayor cantidad de armónicos los cálculos matemáticos se dificultan notablemente.

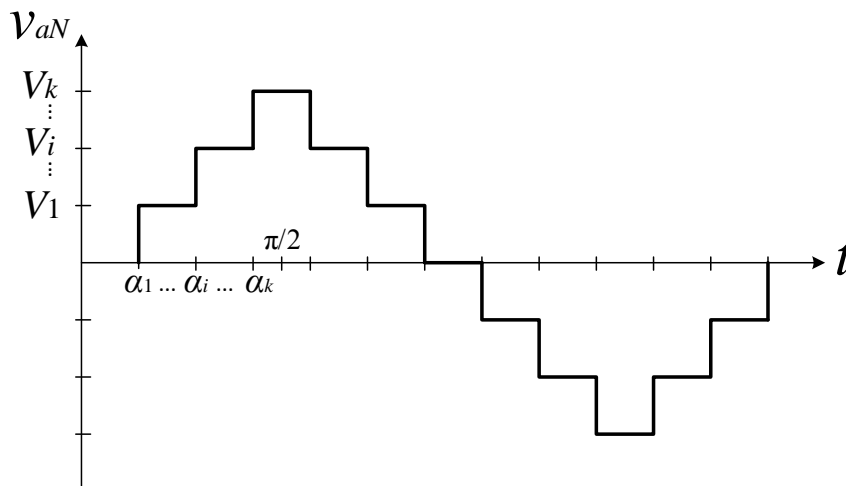


Figura 3.9: Voltaje de salida general para un inversor con SHE [41]

3.7. Control Predictivo basado en Modelo (MPC)

La idea en que se basa este método de control es de escoger el estado de conmutación que minimice una función de costo en el siguiente período de muestreo [43], o también conocido como horizonte de tiempo, es decir, este esquema permite predecir el estado de conmutación futuro.

Esta técnica de control, al igual que el SVM, utiliza todos los estados de conmutación que permiten generar los distintos niveles de tensión de salida del inversor, como mencionamos el inversor NPC trifásico de tres niveles tiene 19 vectores de tensión, que son producidos por 27 estados de conmutación.

El algoritmo del MPC se caracteriza por tener los siguientes elementos fundamentales [44]:

- Modelo de Predicción: Este sería el modelo matemático del inversor multinivel, se utiliza para calcular la salida del sistema en instantes futuros. El modelo debe estar expresado en el dominio del tiempo, pero en su forma discreta.
- Función de costo: Representa el criterio de optimización, es decir, el comportamiento deseado del sistema, por ejemplo, a través de una función se le indica al inversor que siga la referencia de entrada. Puede ser multivariable.
- Restricciones operativas: Estas restricciones definen los límites dentro de los cuales tendrá permitido al inversor operar. Aquí se pueden programar valores máximos o mínimos de corriente para proteger dispositivos, indicar el estado de conmutación que minimiza la función de costo. Generalmente, va dentro de la función de costo.
- Horizonte de predicción: Es el rango de tiempo dentro del cual se realiza la optimización, es decir, es el tiempo futuro que se puede predecir.

En esta sección, con el fin de entender de manera práctica el algoritmo de esta técnica, se hará una revisión de un trabajo realizado por Cortés, Wilson, Kouro, Rodríguez y Abu-Rub [37]. Aquí, se desarrolla un modelo de control predictivo para un CHB trifásico compuesto de dos puentes H por fase que está conectado una carga RL , el sistema se muestra en la Figura 3.10. Cada puente H está alimentado por un rectificador puente de diodos con un voltaje de DC-link igual a V_{DC} .

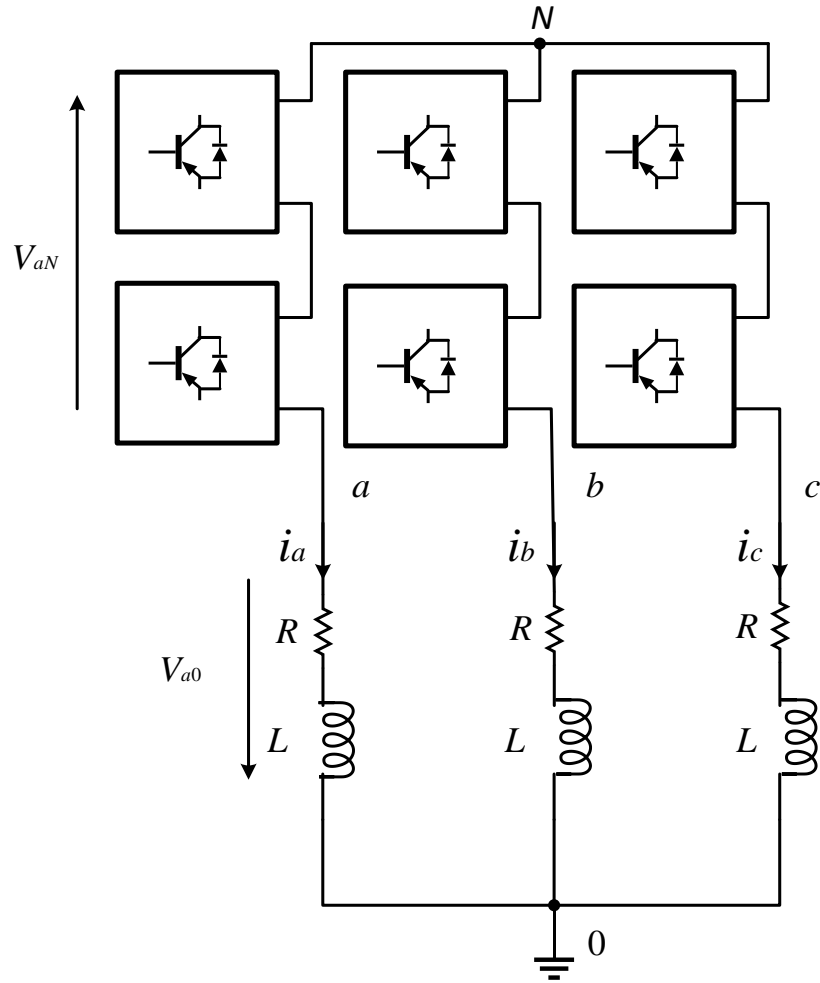


Figura 3.10: CHB trifásico de dos puente H simétrico conectado a una carga RL

A. Modelo del Inversor CHB Simétrico y de la Carga

Por cada fase, el número posible de voltajes es

$$L = 2H + 1 \quad (3.38)$$

Donde,

L : Número de niveles

H : Número de puentes H conectados en serie por fase

En un inversor trifásico, el número de combinaciones de niveles de voltajes K_L es

$$K_L = L^3 \quad (3.39)$$

Por otro lado, cada celda inversora tiene dos señales de conmutación y para H inversores en cada pierna, el voltaje de una pierna del inversor en términos de señales de conmutación binaria es

$$V_{aN} = V_{DC} \sum_{i=0}^H (S_{ia,1} - S_{ia,2}) \quad (3.40)$$

Donde,

$S_{ia,1}$ y $S_{ia,2}$: Señales de conmutación binaria de la celda i y la pierna .

Las combinaciones de estados de conmutación posibles K_S para un inversor CHB con H celdas en cada pierna es

$$K_S = 2^{6H} \quad (3.41)$$

Como cada fase puede generar cinco niveles de tensión, en un inversor trifásico son posible un total de 125 vectores de voltaje. De esos 125 vectores de voltaje, varios son redundantes, resultando en 61 vectores de voltaje diferentes. En la Tabla 3.3 se listan el número total de vectores de voltaje y los diferentes vectores de voltaje para diferentes números de puentes H por fase.

Tabla 3.3: Total de Vectores de Voltaje y Diferente Vectores de Voltaje para un Inversor Trifásico con H Celdas

Número de puentes H	Niveles de Voltaje	Número de vectores de voltaje	
		Total	Diferentes
1	3	27	19
2	5	125	61
3	7	343	127
4	9	729	217
H	$2H+1$	$(2H+1)^3$	$12H^2+6H+1$

De acuerdo a la Figura 3.10, la ecuación diferencial de la corriente de una fase (a) para un carga RL trifásica conectada al inversor es

$$L \frac{di_a(t)}{dt} + Ri_a = v_{a0} \quad (3.42)$$

Donde,

R : Resistencia de la carga

L : Inductancia de la carga

v_{a0} : Voltaje a través de la carga en referencia al punto neutro 0.

Sin embargo, el voltaje a través de la carga en términos del voltaje del inversor es

$$v_{a0} = v_{aN} + v_{N0} \quad (3.43)$$

Donde,

v_{N0} : Voltaje de modo común (v_{cm})

El voltaje de modo común puede ser definido como

$$v_{N0} = v_{cm} = \frac{v_{aN} + v_{bN} + v_{cN}}{3} \quad (3.44)$$

El modelo de la carga puede ser expresado como una ecuación vectorial usando la siguiente transformación,

$$\begin{bmatrix} \alpha \\ \beta \end{bmatrix} = \begin{bmatrix} 2/3 & -1/3 & -1/3 \\ 0 & \sqrt{3}/3 & -\sqrt{3}/3 \end{bmatrix} \begin{bmatrix} a \\ b \\ c \end{bmatrix} \quad (3.45)$$

Donde,

a, b, c : Variables trifásicas de voltaje o corriente

α, β : Variables vectoriales

Usando esta transformación, (3.42) puede ser escrito en términos de las variables vectoriales α - β como

$$L \frac{di_{\alpha,\beta}(t)}{dt} + Ri_{\alpha,\beta} = v_{\alpha,\beta} \quad (3.46)$$

Donde,

$v_{\alpha,\beta}$: Vector de voltaje del inversor

$i_{\alpha,\beta}$: Vector de corriente de carga

B. Algoritmo de Control Predictivo

La principal idea del esquema de control predictivo de la corriente usado en [37], es para predecir el comportamiento de la corriente de carga para cada posible vector de voltaje generado por el inversor. La predicción de la corriente se basa en el modelo discretizado del sistema.

La derivada se puede aproximar a través de Euler hacia adelante. Se hace con Euler hacia adelante con el fin de obtener el valor futuro de salida del sistema (predecir el estado futuro de acuerdo al actual):

$$\frac{di_{\alpha,\beta}(t)}{dt} \approx \frac{i_{\alpha,\beta}(k+1) - i_{\alpha,\beta}(k)}{T_s} \quad (3.47)$$

En este paso, se transforma la derivada del dominio del tiempo continuo t al dominio de tiempo discreto k , donde k representa el horizonte de tiempo de predicción, cabe señalar que para realizar esta aproximación el tiempo de muestreo T_s u horizonte de tiempo debe ser muy pequeño. Sustituyendo esta expresión en (3.46), se obtiene la siguiente expresión para el vector de corriente de carga futuro

$$i(k+1)_{\alpha,\beta} = \frac{T_s}{L} \left[v_{\alpha,\beta}(k) - i_{\alpha,\beta}(k) \left(R - \frac{L}{T_s} \right) \right] \quad (3.48)$$

Donde,

T_s : Horizonte de tiempo

Esta ecuación se utilizará en el controlador para predecir el valor futuro de la corriente de carga para un vector de voltaje dado.

C. Selección del Vector de Voltaje

Para la selección de los vectores de voltaje apropiados para el control de corriente, la predicción de corriente es evaluada usando la siguiente función de costo,

$$g(k+1) = \left\| i_{\alpha}^*(k+1) - i_{\alpha}(k+1) \right\| + \left\| i_{\beta}^*(k+1) - i_{\beta}(k+1) \right\| \quad (3.49)$$

Donde,

$i_{\alpha,\beta}^*(k+1)$: Predicción del vector de corriente de referencia

Para tiempos de muestreo suficientemente pequeños, se puede asumir que $i_{\alpha,\beta}^*(k+1) \approx i_{\alpha,\beta}^*(k)$. Para tiempos de muestro más grandes, es necesaria una extrapolación de la referencia.

La función de costo (3.49) es evaluada para cada vector de voltaje posible y el vector que minimiza, se selecciona y se aplica en la carga. Esto significa que (3.48) y (3.49) son calculados 125 veces para un inversor de 5 niveles con el fin de obtener la solución óptima.

Un diagrama de bloques del control predictivo de la corriente se muestra en la Figura 3.11. Aquí las corrientes medida son usadas para la predicción del j valor futuro de las corrientes de carga, correspondiente a los j posibles vectores de voltaje, donde $j = 125$ para un inversor de 5 niveles. Esas predicciones son evaluadas por la función de costo, y el vector de voltaje que minimiza esta función es seleccionado y aplicado.

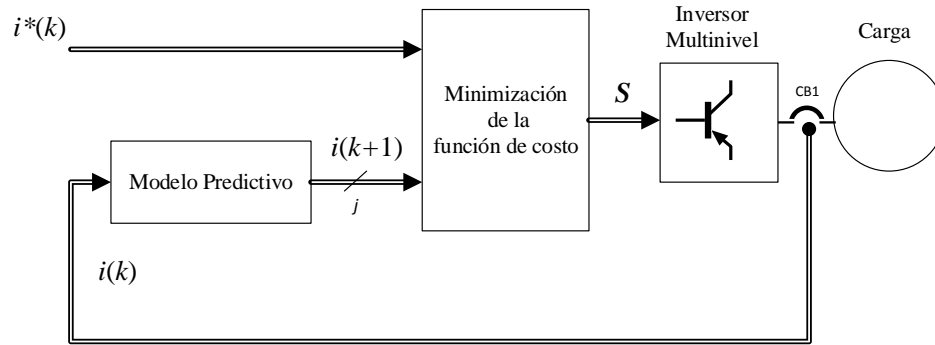


Figura 3.11: Diagrama de bloques del algoritmo de control predictivo

Varias y diferentes formulaciones de la función de costo son posibles. Dependiendo de la aplicación específica, es posible incluir algunas restricciones como: reducción de la frecuencia de conmutación, la formación del espectro y otros. Sin embargo, en esta revisión sólo será considerada una simple función de costo

Las ventajas de este método de control son [37], [39], [43]:

- Que no requiere ninguna técnica de modulación o tipo de controlador lineal (por ejemplo controlador PI), que son necesarios para modulaciones como las basadas en PWM.
- El MPC al hacer uso de los estados redundantes de conmutación, logra balancear el voltaje en el DC-link (voltaje DC del condensador que actúa como fuente de alimentación del inversor).
- Permite reducir el número de conmutaciones de los semiconductores. Esto se puede colocar como una restricción dentro de la función de costo.
- El voltaje de salida del inversor tiene una mínima distorsión armónica.
- Este tipo de control tiene una mejor respuesta dinámica.
- Puede ser aplicada a una amplia variedad de sistemas.
- Se puede compensar el tiempo muerto, y con tiempo muerto nos referimos al período de tiempo que se deja por seguridad para que interruptores que son complementarios no queden activados al mismo tiempo, pues como sabemos tanto al encendido como el apagado de un semiconductor no es instantáneo sino que es finito, entonces el tiempo muerto es un lapso que se deja entre dos interruptores complementarios para evitar un corto circuito.

En cuanto a las desventajas, se puede mencionar que [37], [39], [43]:

- Este tipo de control no asegura error igual cero en estado estacionario, pero si asegura error

mínimo, en comparación con un controlador PI que en este caso sí asegura error cero en estado estacionario si la referencia es constante.

- El espectro de frecuencia del voltaje de salida contiene una gran cantidad de armónicas, tanto de alta como de baja frecuencia, aunque las amplitudes son pequeñas estas igual pueden producir resonancia en algún filtro pasivo del sistema.
- Para modelar el sistema es necesario conocer de antes la carga que será alimentada por el convertidor, además se requiere conocer de un modelo dinámico del sistema suficientemente preciso.
- La carga computacional es elevada debida a la gran cantidad de cálculos que ejecuta.
- Los semiconductores tienen una frecuencia de conmutación distribuida de forma asimétrica, esto significa que algunos dispositivos van a conmutar más que otros y esto genera un inconveniente para el diseño del equipo.

3.8. Discusión

En este capítulo se discuten las diferentes técnicas de modulación revisadas, la cuales tienen como objetivo principal asegurar las siguientes características: reducir los armónicos de corriente en la carga, minimizar la frecuencia de conmutación, asegurar frecuencia de conmutación uniforme para todos los dispositivos semiconductores, asegurar que, en general, el balance en los condensadores del lado DC del convertidor se mantenga constante.

La técnica de modulación PS-PWM se caracteriza por entregar un voltaje de salida con una bajo THD y con armónicos de alta frecuencia los que pueden ser eliminados por pequeño filtro pasabajas, otorgando una corriente de carga prácticamente sinusoidal; además las conmutación en los semiconductores del inversor es uniforme, por lo que cada interruptor disipará la misma cantidad de energía. Todos estos beneficios son a costa de una alta frecuencia de conmutación, lo que produce que las pérdidas por conmutación sean mayores que otras modulaciones.

Pero, al compararla con LS-PWM, esta modulación entrega un mejor rendimiento en cuanto a distorsión armónica de voltaje de salida se refiere, aunque el espectro contiene armónicos de baja frecuencia. La frecuencia de conmutación en los interruptores es alta y asimétrica, es decir, algunos dispositivos conmutan más que otros, incluso para valores pequeños de m_a algunos semiconductores no conmutan, esta asimetría en la conmutación permite al diseñador incluir diferentes tecnologías de semiconductores en el inversor, con el fin de reducir las pérdidas.

La NLM, tiene características muy parecidas con LS-PWM, en cuanto a frecuencia de conmutación de los dispositivos semiconductores, ya que esta es alta y asimétrica. También, tiene una buena calidad de señal de voltaje de salida con bajo THD.

A diferencia de las anteriores modulaciones, SHE se caracteriza principalmente por ofrecer una frecuencia de conmutación igual a la fundamental, por lo que se esperaría que las pérdidas por conmutación en los interruptores sean bajas. El voltaje de salida que se obtiene de este esquema, es uno con bastante distorsión armónica, pero es capaz de eliminar las armónicas de baja frecuencia más significantes.

Por otro lado, SVM presenta un bajo contenido armónico en el voltaje de salida del inversor, pero estos armónicos están distribuidos a través de todo el espectro, lo que puede ser peligroso si es que se tiene algún filtro conectado en el sistema. En cuanto a la frecuencia de conmutación está es de un valor alto, pero que a través de los estados de conmutación redundantes se busca reducirla en lo máximo posible, además los semiconductores tienen una frecuencia de conmutación asimétrica, pues estos conmutan de acuerdo a lo que indica la referencia, y por ende según los vectores espaciales y los tiempos de aplicación de estos.

Para MPC ocurre lo mismo con SVM, la frecuencia de conmutación de los dispositivos semiconductores depende de la referencia y de acuerdo a esta se generan la conmutación de los dispositivos, lo que provoca que algunas actúen más que otros, generalmente la frecuencia de conmutación es alta. Lo bueno de MPC es que es una técnica muy flexible, por lo que si se quiere reducir la frecuencia de conmutación, basta con colocarla como restricción dentro del algoritmo. Este esquema produce una gran distorsión armónica en el voltaje de salida, pero en la corriente de salida el THD es mínimo; aunque al igual que SVM, los armónicos están distribuidos en todo el espectro.

Finalmente, de acuerdo a la información recopilada, la técnica de modulación que, en un principio, tienen mejores cualidades y que puede ser mejor aprovechada en un inversor CHB es PS-PWM. Debido a que es un esquema de fácil implementación, la distribución simétrica de las pérdidas de esta técnica le permite, en particular a un CHB, que todos los inversores puente H conmuten la misma cantidad de veces y conduzcan el mismo período de tiempo, esto permite que no se exijan en demasía a algunos semiconductores en comparación con el resto; también en cuanto a su espectro de frecuencia tiene la particularidad que los armónicos se agrupan en altas frecuencia por lo que su eliminación y/o mitigación se puede solucionar con un simple filtro pasabajas, con eso la corriente de salida tendría un forma de onda más sinusoidal.

Capítulo 4. Pérdidas En Un Inversor

4.1. Introducción

Los inversores multinivel son ampliamente usados en variadores de frecuencia o también llamado AC Drive de alta tensión y alta potencia. En la Figura 4.1 se muestra un diagrama de bloques de un Drive de media tensión. Compuesto principalmente por [8]:

- Un transformador de alta potencia;
- Un rectificador el cual convierte la tensión de alimentación de la red eléctrica en una tensión DC con una magnitud fija o ajustable. Los rectificadores comúnmente usados incluyen rectificadores de diodos multipulso, rectificadores SCR multipulso o rectificadores modulados en PWM;
- El enlace DC (o DC-link) puede ser simplemente un condensador que proporcione una tensión DC en los convertidores de fuente de tensión o un inductor que alisa la corriente DC en los convertidores de fuente de corriente;
- Un inversor puede clasificarse generalmente en inversor fuente de tensión (VSI) e inversor fuente de corriente (CSI);
- Dependiendo de los requerimientos del sistema y del tipo de convertidor empleado, los filtros de entrada y de salida son opcionales.

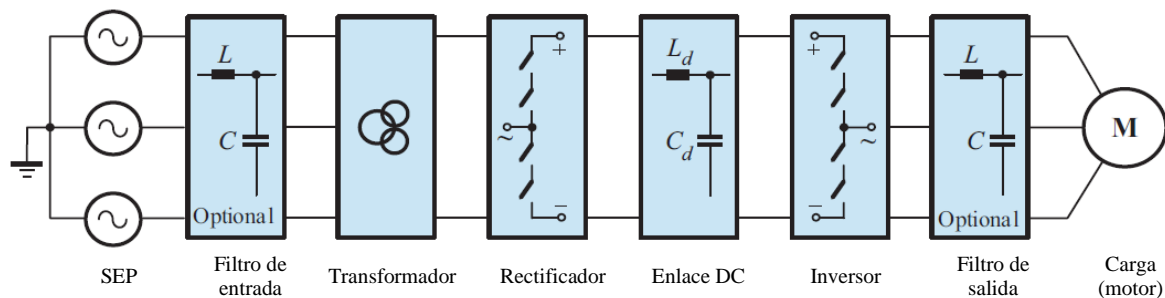


Figura 4.1: Diagrama de bloques de un Drive de media tensión

Las aplicaciones de baja dinámica no regenerativas, tales como bombas, ventiladores y compresores, representan el 85% de aplicaciones industriales de alta potencia (≈ 2 MW) donde el ahorro energético es primordial y justifica la inversión en un Drive de media tensión [3]. Si bien estos equipos permiten un ahorro energético importante, no están exentos de pérdidas de energía. Las pérdidas de potencia de los componentes individuales afectan directamente la eficiencia

eléctrica del sistema de accionamiento. En general, la eficiencia se define como la relación entre la potencia de salida y la potencia de entrada de un sistema. Debido a la complejidad del sistema de accionamiento, la evaluación de la eficiencia del sistema de accionamiento puede ser complicada [45]. Este trabajo se enfocará sólo en las pérdidas en los dispositivos semiconductores del inversor dado que el interés se centra en comparar las distintas técnicas de modulación PWM, pero es necesario tener en cuenta que las pérdidas en un AC Drive de media tensión se dividen en varias partes. A continuación, se muestran las principales pérdidas en un AC Drive:

4.2. Pérdidas en el DC-link

Las pérdidas en el DC-link inductivo para el inversor fuente de corriente (CSI) se producen por su resistencia en serie equivalente. Estos son comúnmente un 2% - 4% de la potencia nominal del inductor. Por otro lado, los inversores fuente de voltaje (VSI) presentan menores pérdidas de energía en comparación a los convertidores CSI, ya que los condensadores son dispositivos muy eficientes en general. De hecho, la pérdida total de un banco de condensadores de DC-link raramente excede el 0,5% de su valor nominal [3].

4.3. Pérdidas en el Transformador

Los transformadores de alta potencia presentan una eficiencia muy alta debido al considerable impacto económico que su funcionamiento tiene en los procesos industriales. Así, en transformadores de media tensión, una eficiencia del 98,5% es muy común. Sin embargo, las diferentes configuraciones de transformadores utilizadas por los variadores de frecuencia de media tensión podrían fácilmente hacer variar la eficiencia. El estándar IEEE 57.18.10-1998 presenta un método para calcular las pérdidas en el transformador bajo la presencia de corrientes armónicas, que son los principales contribuyentes a las pérdidas de potencia del transformador en Drives de media tensión. Las pérdidas del transformador son proporcionales al cuadrado de la tensión (pérdidas de hierro) y proporcionales al cuadrado de la corriente de carga (pérdidas de cobre); por lo tanto, el factor de potencia de entrada tendrá un impacto directo sobre las pérdidas totales. Además, el contenido armónico de las corrientes del convertidor -medido por el factor K- aumentará aún más las pérdidas en el transformador. Está claro, entonces, que cuanto mejor sea el factor de potencia y

cuanto más sinusoidales sean las corrientes que fluyen a través del transformador, menores serán las pérdidas totales en el transformador [3].

4.4. Pérdidas en Dispositivos Semiconductores

Las pérdidas en un dispositivo semiconductor de potencia pueden clasificarse en: pérdidas por conducción, pérdidas por conmutación y pérdidas por bloqueo en estado apagado. Las pérdidas de bloqueo en estado apagado, es el producto de la tensión de bloqueo y la corriente de fuga [46], estas pérdidas no serán consideradas en la simulación final.

4.4.1 Pérdidas por Conducción

Las pérdidas por conducción son una función del voltaje de saturación V_{CES} y la corriente instantánea $i(t)$. En [47], se presenta un modelo de estimación de las pérdidas por conducción. El voltaje de saturación puede ser modelado usando aproximación lineal de primer orden compuesto por una tensión umbral (threshold voltage) V_T y una resistencia en serie R_T , así,

$$V_{CES}(t) = V_T + R_T \cdot i(t) \quad (4.1)$$

Entonces, la potencia media debida a las pérdidas de conducción disipadas en los semiconductores a frecuencia fundamental está dada por,

$$P_{on} = V_T \cdot I_{AVG} + R_T \cdot I_{RMS}^2 \quad (4.2)$$

Donde,

I_{AVG} : Corriente promedio fluyendo a través del semiconductor

I_{RMS} : Valor de corriente RMS

Finalmente la disipación de energía durante un período es

$$E_{on} = P_{on} \cdot t_{on} \quad (4.3)$$

Donde,

P_{on} : Potencia de pérdida durante la conducción

t_{on} : Tiempo de conducción

En este proyecto, para determinar las pérdidas por conducción se usará la expresión presentada en [32]. Así las pérdidas por conducción P_{on} son igual a,

$$P_{on} = V_{sat} I_o f_{sw} t_{on} \quad (4.4)$$

Donde,

V_{sat} : Caída de tensión en el dispositivo semiconductor cuando se encuentra encendido.

I_o : Corriente que circula a través del semiconductor.

f_{sw} : Frecuencia de conmutación.

t_{on} : Tiempo de conducción por un ciclo de la frecuencia fundamental.

4.4.2 Pérdidas por conmutación

Determinar las pérdidas por conmutación es todo un desafío debido a que es un proceso que dura unos pocos nanosegundos, además se debe considerar la naturaleza no lineal del proceso mismo de conmutación [46], [48].

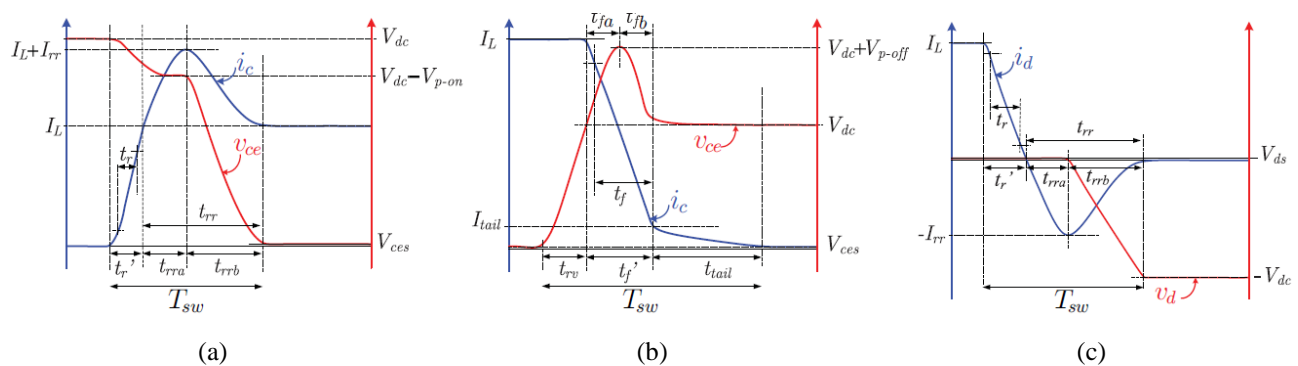


Figura 4.2: Forma de ondas características en la conmutación [46]

a) Encendido del IGBT, b) Apagado del IGBT, c) Apagado del diodo

En [46] se presenta un modelo para estimar las pérdidas por conmutación en un IGBT. Las pérdidas en un período de conmutación dependen de una serie de factores: características del diodo (tiempo de recuperación inversa y peak de corriente), características del IGBT (tiempo de subida y bajada, tiempo de cola y corriente de cola) e inductancia parásita. En modernos diodos de recuperación rápida utilizados con IGBTs, las pérdidas por encendido son inferiores al 1% en comparación con las pérdidas de apagado, por lo que se desprecian para el análisis. Por lo tanto, el método de estimación sólo considerará las pérdidas en el encendido del IGBT, el apagado del IGBT y el apagado del diodo.

Durante el encendido de un IGBT, como se muestra en la Figura 4.2(a), la corriente comienza a incrementar transfiriendo gradualmente la corriente de carga desde el diodo de libre circulación opuesto al IGBT (el diodo opuesto está apagado). Cuando la corriente a través del IGBT i_c alcanza la corriente de carga I_L continúa creciendo porque el IGBT además debe proporcionar la corriente de recuperación inversa del diodo opuesto, incrementando de esta manera las pérdidas durante el encendido, pues el voltaje no es cero.

Cuando el IGBT se apaga, el voltaje a través del IGBT crece hasta que alcanza el voltaje de bloqueo V_{DC} . En ese punto el diodo en antiparalelo está predispuesto y comienza a conducir. La corriente a través del IGBT disminuye rápidamente produciendo un sobreimpulso en el voltaje debido a la inductancia parásita L_p . Este efecto se puede ver en la Figura 4.2(b). Adicionalmente, después del cambio inicial en la corriente, la pendiente varía, bajando a cero más lentamente debido a la carga almacenada en la puerta interna del BJT interno del IGBT, a esto se le conoce como sección de cola en el apagado del IGBT.

Finalmente, durante el apagado del diodo, cuando la corriente de recuperación inversa retorna del peak negativo hacia cero, el voltaje a través del diodo crece desde el voltaje directo al voltaje de bloqueo, produciendo las pérdidas de apagado del diodo como se muestra en la Figura 4.2(c).

El modelo matemático para el cálculo de las pérdidas por conmutación que se obtuvo en [46], se consiguió al hacer coincidir el modelo teórico con los resultados experimentales de un prototipo del laboratorio. Además, este modelo depende de los parámetros que cambian según las condiciones de funcionamiento como temperatura, corriente de carga y tensión del DC-link. Las mediciones experimentales para un encendido y apagado del IGBT se muestran en rojo en la Fig. 3 (a) y la Fig. 3 (b) respectivamente.

Pérdidas en el encendido del IGBT:

Las pérdidas instantáneas durante el proceso de conmutación $P_{sw}(t)$, pueden ser fácilmente obtenidas de la multiplicación de la corriente y el voltaje a través del dispositivo,

$$P_{sw}(t) = v_{CE}(t) \cdot i_c(t) \quad (4.5)$$

Donde

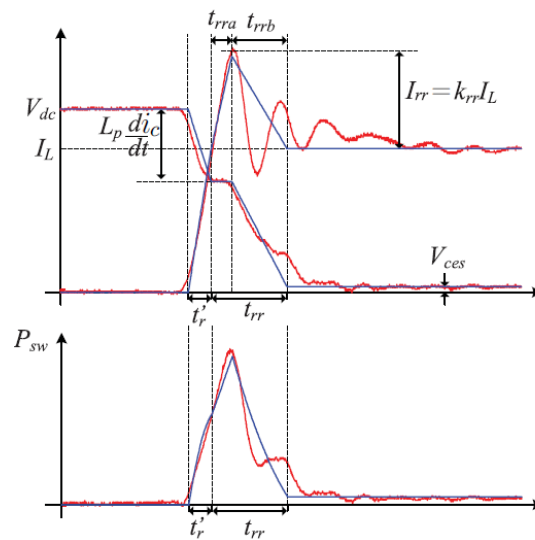
v_{CE} : Voltaje instantáneo en el IGBT

i_c : Corriente instantánea en el IGBT

La integración de $P_{sw}(t)$ sobre el período completo de conmutación T_{sw} nos entrega la disipación de energía para esta conmutación.

$$E_{sw} = \int_0^{T_{sw}} P_{sw}(t) dt \quad (4.6)$$

Para este caso particular el encendido del IGBT se muestra en la Figura 4.2 y Figura 4.3, $T_{sw} = t_r' + t_{rr}$. Para propósitos prácticos el tiempo de recuperación inversa t_{rr} se puede dividir en dos partes $t_{rr} = t_{rra} + t_{rrb}$, donde t_{rra} es el período cuando aumenta el tiempo de recuperación inversa, mientras que t_{rrb} es el período de bajada del tiempo de recuperación inversa. A partir de la hoja de datos del fabricante (datasheet) sabemos que el tiempo de subida (rise time) t_r como se ve en Figura 4.2(a) representa el 80% del tiempo total que tarda la corriente del dispositivo en alcanzar la corriente de carga I_L , este tiempo será denominado $t_r' = t_r/0.8$. Ahora el problema se reduce a aproximar la característica dinámica de conmutación que se muestra en la Figura 4.3 por el ajuste de curvas de líneas rectas, mostradas en azul. Estas rectas se usan para calcular (4.5) y (4.6). Para simplificar esta tarea T_{sw} puede dividirse en tres partes t_r' , t_{rra} y t_{rrb} .



(a)

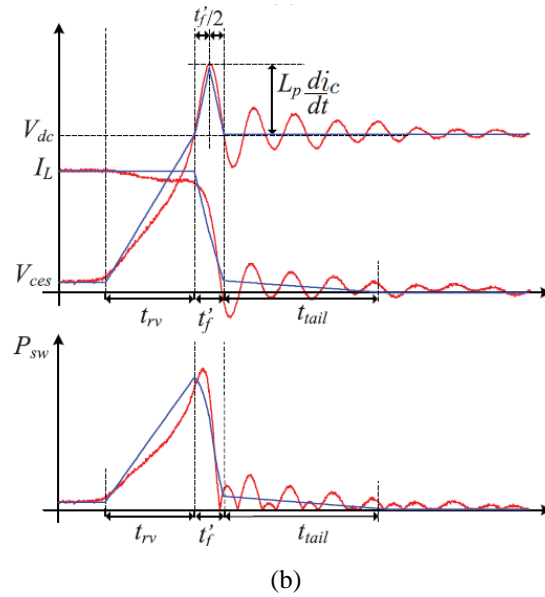


Figura 4.3: Dinámica de conmutación: Modelo teórico (azul) y medición experimental (rojo)
a) Encendido del IGBT, b) Apagado del IGBT

Considerando la primera parte durante t_r' , el voltaje y la corriente a través del dispositivo puede aproximarse por,

$$i_c(t) = \frac{I_L}{t_r'} t \quad (4.7)$$

$$v_{CE}(t) = V_{DC} - L_p \frac{di_c}{dt} \frac{t}{t_r'} = V_{DC} - \frac{L_p}{t_r'^2} t \quad (4.8)$$

Donde,

I_L : Corriente de carga

t_r' : Tiempo de subida de la corriente a través del IBGT

t : Tiempo

V_{DC} : Voltaje de bloqueo

L_p : Inductancia parásita

Reemplazando (4.7) y (4.8) en (4.5) se obtiene

$$P_{sw}(t) = \frac{-L_p I_L^2}{t_r'^3} t^2 + \frac{I_L V_{DC}}{t_r'} t \quad 0 < t < t_r' \quad (4.9)$$

Finalmente, la disipación de energía durante esta parte del encendido (denotado con el superíndice (t_r')), es obtenido reemplazando (4.9) en (4.6),

$$E_{igbt-on}^{(t_r')} = \int_0^{t_r'} P_{sw}(t) dt = \frac{-L_p I_L^2}{3} + \frac{t_r' I_L V_{DC}}{2} \quad (4.10)$$

Para la segunda parte del encendido dinámico, durante t_{rra} , las expresiones siguientes se mantienen para el voltaje y la corriente,

$$v_{CE}(t) = V_{DC} - L_p \frac{di_c}{dt} = V_{DC} - L_p \frac{I_L}{t_r'} \quad (4.11)$$

$$i_c(t) = I_L + \frac{I_{rr}}{t_{rra}} t = I_L + \frac{k_{rr} I_L}{t_{rra}} t \quad (4.12)$$

Donde,

I_{rr} : Corriente de recuperación inversa

k_{rr} : Contante de proporcionalidad entre las corrientes de carga y de recuperación inversa.

Notar que el peak de corriente de recuperación inversa I_{rr} es proporcional a la corriente de carga $I_{rr} = k_{rr} I_L$. Esta relación puede ser corroborada con los datasheets del fabricante, como se ilustra en la Figura 4.4. La constante de proporcionalidad k_{rr} puede obtenerse fácilmente como la pendiente de la gráfica. Se puede ver que el peak de la corriente de recuperación inversa también depende de la temperatura, es decir, habrá valores diferentes de k_{rr} dependiendo de la temperatura.

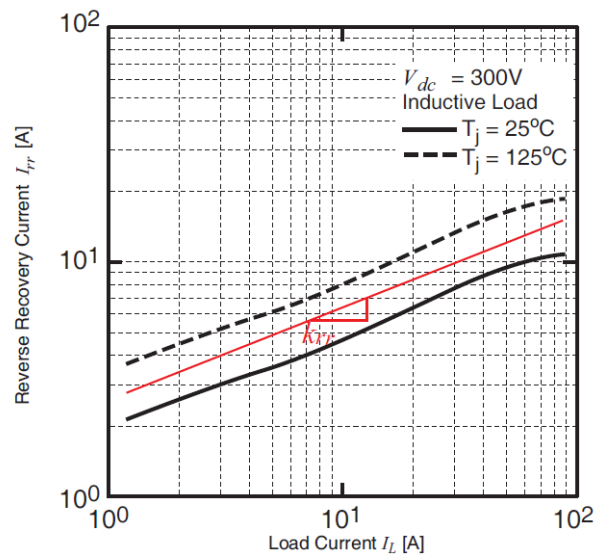


Figura 4.4: El peak de corriente de recuperación inversa depende de la corriente de carga

Ahora reemplazando (4.11) y (4.12) en (4.5) resulta,

$$P_{sw}(t) = \frac{k_{rr} I_L}{t_{rra}} t \cdot \left(V_{DC} - \frac{I_L L_p}{t_r} \right) + I_L \left(V_{DC} - \frac{I_L L_p}{t_r} \right) \quad 0 < t < t_{rra} \quad (4.13)$$

Notar que, para la simplicidad de los cálculos, el tiempo t está redefinido empezando de 0 después de t_r . De esta forma, el total de energía perdida durante t_{rra} en el encendido del IGBT (denotado por el superíndice (t_{rra})) está dado por

$$E_{igbt-on}^{(t_{rra})} = \left(I_L V_{DC} - \frac{I_L^2 L_p}{t_r} \right) \left(\frac{k_{rr}}{2} + 1 \right) t_{rra} \quad (4.14)$$

Para la última parte del encendido del IGBT, durante el período t_{rrb} , las siguientes ecuaciones aproximan las formas de onda de corriente y voltaje

$$v_{CE}(t) = \left(-V_{DC} + L_p \frac{I_L}{t_r} \right) + V_{DC} - L_p \frac{I_L}{t_r} \quad (4.15)$$

$$i_c(t) = -\frac{k_{rr} I_L}{t_{rrb}} t + I_L + I_{rr} = -\frac{k_{rr} I_L}{t_{rrb}} t + I_L (1 + k_{rr}) \quad (4.16)$$

Sustituyendo (4.15) y (4.16) en (4.5) las pérdidas de potencia para este período se obtiene

$$P_{sw}(t) = t^2 \left[\left(V_{DC} - L_p \frac{I_L}{t_r} \right) \frac{k_{rr} I_L}{t_{rrb}^2} \right] - \frac{t}{t_{rrb}} \left(V_{DC} - L_p \frac{I_L}{t_r} \right) (I_L + 2k_{rr} I_L) + I_L (1 + k_{rr}) \left(V_{DC} - L_p \frac{I_L}{t_r} \right) \quad (4.17)$$

Con $0 < t < t_{rrb}$. Cuando se reemplaza (4.17) en (4.6), la energía perdida durante t_{rrb} en el encendido del IGBT (denotado por el superíndice (t_{rrb})) es

$$E_{igbt-on}^{(t_{rrb})} = I_L t_{rrb} \left(V_{DC} - L_p \frac{I_L}{t_r} \right) \left(\frac{1}{2} - \frac{1}{6} k_{rr} \right) \quad (4.18)$$

Finalmente, el total de energía disipada durante el período T_{sw} del encendido del IGBT está dado por la suma de (4.10), (4.14) y (4.18),

$$E_{igbt-on} = E_{igbt-on}^{(t_r)} + E_{igbt-on}^{(t_{rra})} + E_{igbt-on}^{(t_{rrb})} \quad (4.19)$$

La Figura 4.3(a) muestra la potencia instantánea P_{sw} medida en el prototipo del laboratorio en rojo, mientras que las funciones de potencia modeladas (4.9), (4.13) y (4.17) están superpuestas en azul. El error del modelo (principalmente debido a las aproximaciones) es solamente de un 8,4% respecto a la medición obtenida de las formas de onda experimentales.

Pérdidas en el apagado del IGBT:

El mismo análisis se puede llevar a cabo para las pérdidas de apagado del IGBT, pero considerando es esta ocasión la Figura 4.3(b). Aquí el período de conmutación T_{sw} es dividido en cuatro partes $T_{sw} = t_{rv} + t'_{fa} + t'_{fb} + t_{tail}$. Notar que el tiempo de bajada (fall time) t'_f es dividido en dos partes t'_{fa} y t'_{fb} , ambos del mismo largo $t'_f/2$, ya que es necesario aproximar el voltaje con dos diferentes pendientes. El proceso para obtener el modelo de pérdidas es idéntico al usado para las pérdidas de encendido del IGBT, por lo tanto, solamente se pondrán los resultados finales:

$$E_{igbt-off}^{(t_{rv})} = I_L (V_{DC} + V_{CES}) \frac{t_{rv}}{2} \quad (4.20)$$

Donde,

- t_{rv} : Tiempo de subida del voltaje a través del IGBT
- V_{CES} : Voltaje de saturación del dispositivo

$$E_{igbt-off}^{(t'_{fa})} = (I_{tail} - I_L) \left[\frac{L_p I_L}{6} + \frac{L_p I_{tail}}{12} + \frac{V_{DC} t'_f}{8} \right] + \frac{V_{DC} I_L t'_f}{2} \quad (4.21)$$

Donde,

- I_{tail} : Corriente de cola del IGBT
- t'_f : Tiempo de bajada de la corriente a través del semiconductor

$$E_{igbt-off}^{(t'_{fb})} = -\frac{L_p}{12} (I_{tail} - I_L)^2 + \frac{t'_f}{8} (I_{tail} - I_L) \left[V_{DC} - \frac{2L_p I_L}{t'_f} \right] + \frac{t'_f}{2} \frac{(I_{tail} - I_L)}{2} \left[V_{DC} + \frac{L_p}{t'_f} (I_{tail} - I_L) \right] \quad (4.22)$$

$$E_{igbt-off}^{(tail)} = \frac{I_{tail} V_{DC} t_{tail}}{2} \quad (4.23)$$

Finalmente la energía perdida en el período completo T_{sw} durante el apagado del IGBT está dado por la suma de (4.20), (4.21), (4.22) y (4.23),

$$E_{igbt-off} = E_{igbt-off}^{(t_{ri})} + E_{igbt-off}^{(t_{ja})} + E_{igbt-off}^{(t_{fb})} + E_{igbt-off}^{(t_{ait})} \quad (4.24)$$

Pérdidas en el apagado del diodo:

El apagado del diodo no puede ser medido directamente en el prototipo del laboratorio, ya que el diodo está integrado dentro del módulo IGBT. Sin embargo, basándose en la forma de onda teórica de la Figura 4.2(c) y el hecho de que el cambio del diodo corresponde a la parte de recuperación inversa del encendido del IGBT, puede realizarse un análisis similar. De hecho, es fácil obtener el modelo, ya que hay pérdidas de conmutación solamente durante t_{rrb} , aquí, el voltaje y la corriente a través del diodo son,

$$v_d(t) = \frac{-V_{DC}}{t_{rrb}} t \quad (4.25)$$

$$i_d(t) = I_{rr} \frac{t}{t_{rrb}} - I_{rr} = I_L k_{rr} \left(\frac{t}{t_{rrb}} - 1 \right) \quad (4.26)$$

La potencia y la energía son calculas como en los casos anteriores, resultando en

$$P_{diode-off}(t) = \frac{V_{DC} I_L k_{rr}}{t_{rrb}} \left(\frac{-t^2}{t_{rrb}} + t \right) \quad (4.27)$$

$$E_{diode-off} = V_{DC} I_L k_{rr} \frac{t_{rrb}}{6} \quad (4.28)$$

En este proyecto por simplicidad, se estimarán las pérdidas por conmutación basándose en un modelo lineal propuesto en [32].

Pérdidas por conmutación (lineal):

En la Figura 4.5.(a), podemos apreciar la señal de control para activar a los dispositivos semiconductores, al mismo tiempo se puede observar que cuando la señal de control es positiva y se acciona el interruptor, la corriente que fluye por este dispositivo (Figura 4.5.(b)) no es instantánea y tiene un pequeño tiempo de retardo t_{ri} , del mismo modo el voltaje de bloqueo del semiconductor no se desactiva de manera súbita, también le toma un breve período de tiempo t_{fv} , la suma de estos dos retardos le llamaremos tiempo de cruce de encendido ($t_{ri} + t_{fv} = t_{c(on)}$), como podemos apreciar en la Figura 4.5.(c), en el tiempo de cruce de encendido se produce una disipación de energía, el mismo efecto ocurre cuando estos dispositivos cambian a estado de apagado, también existe un período de

retardo tanto para la corriente como para el voltaje, al que le llamaremos tiempo de cruce de apagado $t_{c(off)}$ [32].

La ecuación que se utilizará en este trabajo para determinar las pérdidas en los semiconductores debido a la conmutación [32] es,

$$P_{sw} = 0.5 V_d I_o f_{sw} (t_{c(on)} + t_{c(off)}) \quad (4.29)$$

Donde,

V_d : Voltaje de bloqueo del semiconductor.

I_o : Corriente que circula a través del dispositivo.

f_{sw} : Frecuencia de conmutación.

$t_{c(on)}$: Tiempo de retardo de encendido

$t_{c(off)}$: Tiempo de retardo de apagado.

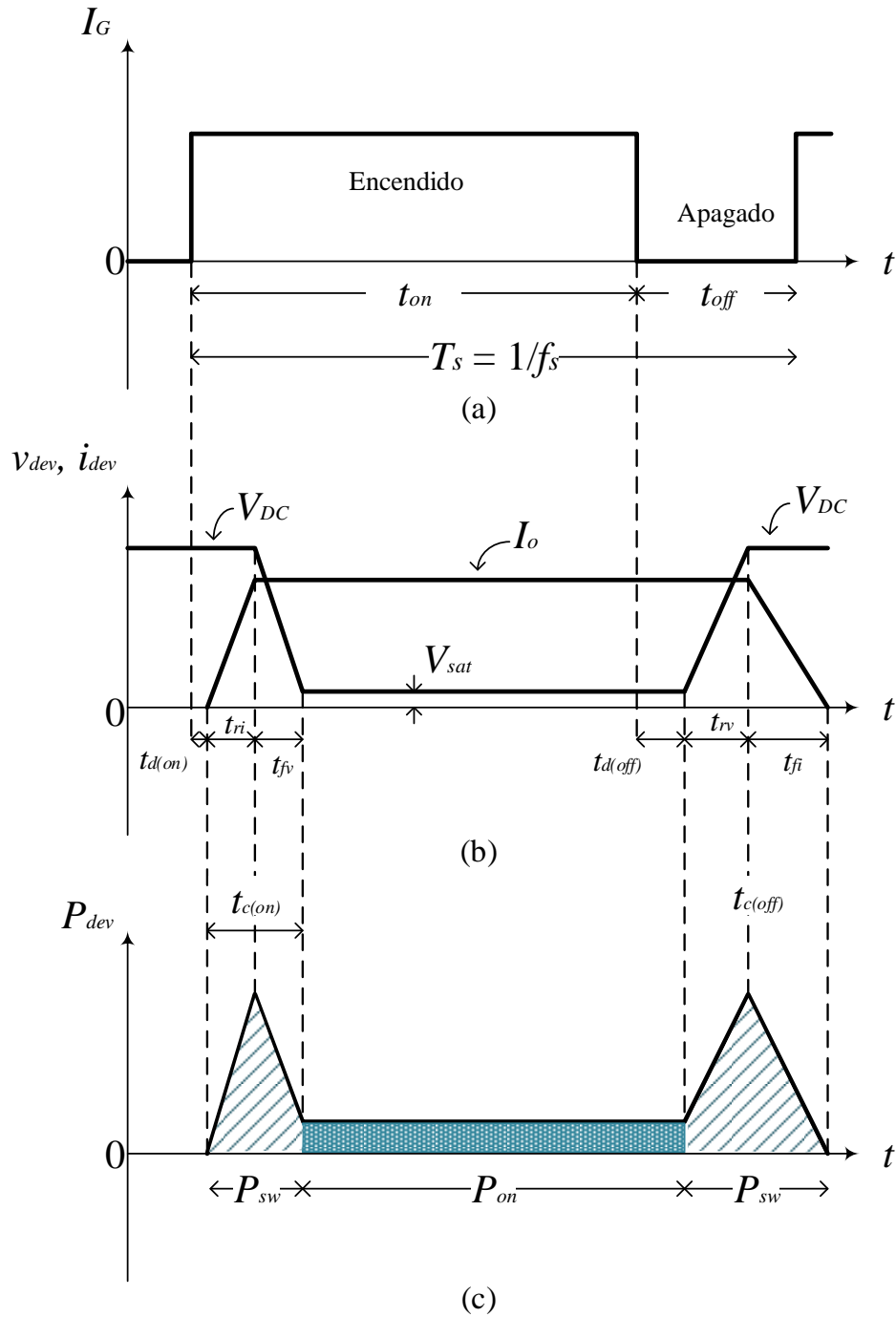


Figura 4.5: Formas de onda características en un semiconductor en conmutación

(a) Señal de encendido de interruptor; (b) corriente y voltaje en el semiconductor;

(c) potencia disipada en el dispositivo

4.5. Discusión

En este capítulo se hizo una revisión de las pérdidas que afectan a un inversor, pérdidas que son producidas por las conmutaciones de los semiconductores de potencia. Se vieron los dos tipos de pérdidas que se generan en los dispositivos: pérdidas por conmutación y por conducción. Las pérdidas dependen principalmente de la frecuencia de conmutación y de la tecnología de semiconductor que se utilice en el inversor, por eso importante escoger una adecuada técnica de modulación y un dispositivo de acuerdo a las necesidades que se desean satisfacer. Generalmente, las pérdidas por conmutación son las más críticas en un convertidor.

Capítulo 5. Nuevas Tecnologías En Semiconductores De Potencia

5.1. Introducción

Los dispositivos semiconductores de potencia que se utilizan en los inversores, deben ser capaces de encenderse y apagarse mediante señales de control aplicadas a la terminal de control del dispositivo, de manera que actúen de acuerdo a los pulsos que provienen del esquema de modulación. Estos dispositivos se denominan interruptores controlables y se representan de forma genérica por el símbolo de la Figura 5.1, donde I_T y V_T son la corriente a través del interruptor y el voltaje de bloqueo respectivamente. Cuando el interruptor está apagado, no fluye corriente alguna, y cuando está encendido, la corriente fluye sólo en dirección de la flecha [32].

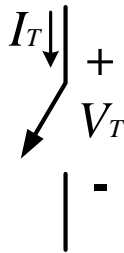


Figura 5.1: Interruptor controlable genérico [32]

El interruptor controlable ideal tiene las siguientes características:

- Bloquea grandes tensiones directas e inversas con flujo de corriente cero.
- Conduce en forma arbitraria grandes corrientes con caída cero de tensión cuando está encendido.
- Conmuta de encendido y apagado o viceversa en forma instantánea cuando se dispara
- Se requiere una cantidad de energía insignificante de la fuente de control para disparar el interruptor.

Los dispositivos verdaderos, como se esperaría, no tienen estas características ideales, y por ende disiparán energía cuando se usan en las numerosas aplicaciones [32]. Es por eso que investigadores en el área de la electrónica se encuentran trabajando constantemente para poder fabricar el dispositivo semiconductor de potencia que más se acerque a estas características ideales, a continuación se enlistan la características deseables en un interruptor controlable [32]:

1. Una pequeña corriente de fuga en el estado inactivo.
2. Una pequeña caída de tensión de estado activo V_{sat} para minimizar las pérdidas de conducción.
3. Tiempos cortos de voltajes de conexión y desconexión. Esto permitirá el uso del dispositivo con altas frecuencias de conmutación.
4. Gran capacidad de bloqueo de tensión directa e inversa. Esto minimizará la necesidad para la conexión en serie de varios semiconductores, lo cual complica el control y la protección de los interruptores. Además, la mayoría de los tipos de dispositivos tiene un voltaje mínimo de estado activo, sin tener en cuenta su voltaje de bloqueo nominal. La conexión en serie de varios de estos dispositivos ocasionaría una tensión más alta en estado activo y, por tanto, más pérdidas de conducción. En la mayoría de los circuitos de convertidores (no en todos) se coloca un diodo a través del interruptor controlable, para permitir que la corriente fluya en dirección inversa.
5. Corriente nominal alta del estado activo. En aplicaciones de corriente alta esto minimizaría la necesidad de conectar varios dispositivos en paralelo, lo que evitaría el problema de compartición de corriente.
6. Un coeficiente positivo de temperatura de resistencia en estado activo. Esto asegura que los dispositivos en paralelo compartan de manera igual el total de corriente.
7. Una pequeña cantidad de energía para conmutar el dispositivo. Esto simplifica el diseño del circuito de control.
8. Capacidad de soportar tensión nominal y corriente nominal en forma simultánea durante la conmutación. Esto eliminaría la necesidad de circuitos de protección externa (amortiguadores o *snubbers*) a través del dispositivo.
9. Grandes capacidades de dv/dt y di/dt . Esto minimizaría la necesidad de circuitos exteriores que de lo contrario se necesitarían para limitar dv/dt y di/dt en el dispositivo para que no se dañe.

Actualmente el dispositivo semiconductor de potencia que generalmente se utiliza en convertidores multinivel de media tensión y alta potencia es el IGBT. Este dispositivo se caracteriza por tener una rápida velocidad de conmutación, con una frecuencia de conmutación de 1 kHz a 100 kHz, los niveles de tensión de bloqueo que puede alcanzar es de hasta 2 kV, y puede conducir corriente de hasta 500 A [32], además no requiere circuitos *snubbers* de encendido para minimizar el di/dt o de apagado para el dv/dt y sus pérdidas por conmutación son bajas, aunque las pérdidas por conducción son altas [8].

En este capítulo se hará una revisión de los dispositivos semiconductores de potencia modernos basados en nuevas tecnologías que permitan sustituir o complementar al IGBT en las topologías de inversores multinivel, con la finalidad de permitir un mejor rendimiento, aplicaciones de mayores niveles tensión y frecuencia, como también reducir las pérdidas de conmutación y conducción. Aquí, más que ver como es la estructura del dispositivo, nos enfocaremos en sus capacidades de voltaje, corriente, frecuencia, pérdidas y eficiencia, y mencionar las dificultades que ha tenido el dispositivo en cuestión para debutar en el mercado.

5.2. IGCT

El IGCT, que en inglés significa *Integrated Gate Commutated Thyristor*, fue introducido comercialmente por ABB en el año 1997. Este semiconductor de potencia hecho de silicio (Si) es una variación del GTO, y puede conseguir valores de voltaje de hasta 4,5 kV, de corriente hasta 1600 A y una frecuencia de operación de 1 kHz, además es capaz de alcanzar eficiencias en inversores hasta un 99,6% [49].

El IGCT opera según el principio de que los tiristores son dispositivos de conducción ideales, mientras que los transistores son dispositivos de apagado ideales. Por lo tanto, el IGCT se convierte en un dispositivo que bloquea dinámicamente y estáticamente como un IGBT pero conduce como un tiristor [49].

La principal característica del IGCT, que le da el nombre, es la integración del circuito de mando junto al dispositivo de potencia, que se muestra en la Figura 5.2. Esta implementación permite minimizar las inductancias en este circuito, el que resulta en la capacidad de desconexión muy rápida, y prácticamente eliminando problemas de dv/dt típicos de los GTO [50].



Figura 5.2: IGCT

(a) Símbolo IGCT; (b) Dispositivo semiconductor IGCT

Un IGCT, se activa mediante una señal de corriente relativamente baja, y se apaga con una tarjeta de circuito impreso multicapa de compuerta que aplica un solo pulso de apagado de subida rápida; por ejemplo, una corriente de compuerta de 4 kA/ μ s, sólo con un voltaje de 20 V de compuerta a cátodo. Con esta variación de la corriente de compuerta, el dispositivo se apaga en su totalidad en menos de aproximadamente 1 μ s. Para poder aplicar una corriente de subida rápida y de alto valor en la compuerta, en el IGCT se trata en especial medida reducir todo lo posible la inductancia del circuito de la compuerta [31]. Tiempo de apagados corto dan como resultado operación del dispositivo a altas frecuencias.

Como ventajas este interruptor de potencia tiene bajas pérdidas de conducción en comparación con el GTO y resiste altos dv/dt . Como desventaja se puede mencionar que las corrientes de compuerta muy grandes y los altos di/dt de la corriente de compuerta significan que no se pueden usar cables regulares para conectar el accionamientos de compuerta al IGCT.

Los IGCT son típicamente utilizados en convertidores fuente de corriente, aunque también han sido usados en inversores fuente de voltaje como en [51], allí se presenta un inversor CHB híbrido donde se utilizaron tanto semiconductores IGCT como IGBT obteniendo buenos resultados en cuanto a rendimiento. El principal inconveniente de este semiconductor de potencia, es que comercialmente sólo existen IGCT asimétricos en el mercado.

5.3. IEGT

El IEGT (Figura 5.3), que en inglés significa *Injection-Enhanced Gate Transistor*, es un dispositivo accionado por voltaje que permite la conmutación de altos niveles de corriente. Los rangos de voltaje del dispositivo son de hasta 4500 V y 2100 A, posee una alta eficiencia en comparación con el IGBT o el GTO, sobre el 98,5% [52].



Figura 5.3: Dispositivo IEGT fabricado por TOSHIBA

La fabricación de IGBT con altos valores de voltaje de bloqueo es difícil de conseguir, debido a un fuerte aumento en el voltaje de encendido en la región de alta corriente. Para superar esta limitación, los IEGT's se fabrican utilizando una estructura única de emisor. Para entender mejor esto ver en la Figura 5.3.(a) debido a la concentración de portadores cerca del emisor es baja, un aumento en los niveles de tensión de colector-emisor produce un aumento en el voltaje de encendido (de saturación) [53]. En cambio, en la Figura 5.4.(b) la concentración de portadores del emisor se mejoran cerca de este, en consecuencia, la inyección de electrones aumenta, reduciendo el voltaje de encendido; esto implica que las pérdidas por conducción serán menores en comparación con un IGBT.

Además, el excelente rendimiento en los tiempos de apagado y la amplia área de operación segura (SOA) permiten reducir el consumo de energía, reducir el tamaño y mejorar la eficiencia del equipo [53].

Las aplicaciones previstas para este semiconductor son: convertidores para transmisión de alta tensión y corriente continua (HVDC), compensadores estáticos de potencia reactiva (SVC), tracción ferroviaria, molinos, metros y sistemas de trenes ligeros [53].

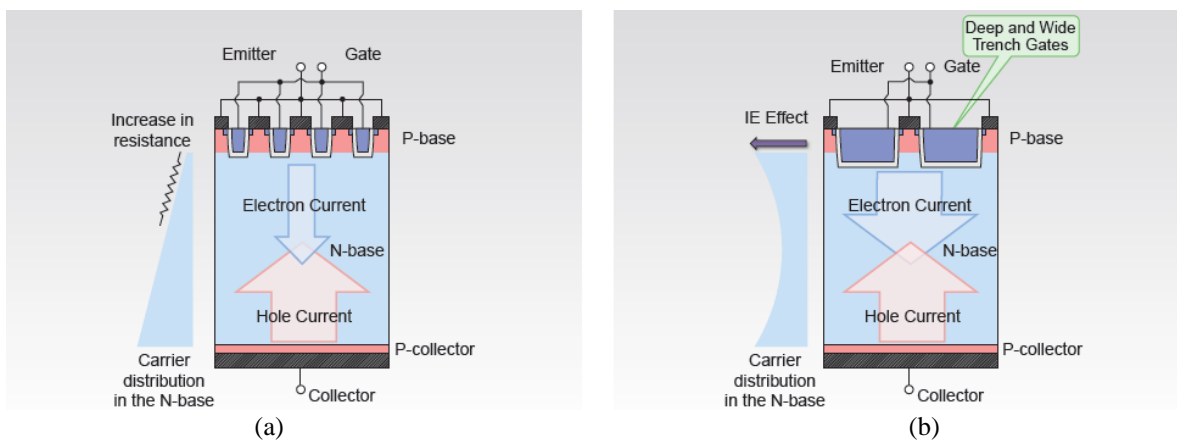


Figura 5.4: Sección transversal y distribución de portadores [53]

(a) IGBT; (b) IEGT

5.4. Dispositivos Semiconductores de SiC

Desde la década de los 80 se investiga en nuevos materiales semiconductores para fabricar tiristores y otros dispositivos de potencia. Han despertado interés por sus nuevas posibilidades los semiconductores de banda ancha prohibida (*bandgap*) [54]. A modo de explicación se sabe que los

semiconductores tienen un banda prohibida entre las bandas de valencia y conducción, el tamaño de la banda prohibida tiene implicaciones en los tipos de aplicaciones que se pueden realizar, por ejemplo una baja banda prohibida implica una mayor conducción intrínseca, mientras que una banda prohibida más ancha da a lugar a corrientes de fuga mucho más bajas y a temperaturas de funcionamiento significativamente más alta de los dispositivos [55]. Entre los semiconductores de banda ancha prohibida se encuentra el carburo de silicio (SiC). La tecnología basada en SiC ha madurado mucho en las últimas décadas y ha pasado de la investigación a la producción comercial. Los principales productos de dispositivos de potencia de SiC siguen siendo rectificadores basados en diodos Schottky, sólo una pocas compañías están ofreciendo dispositivos conmutadores basados en MOSFET's, JFET's y BJT's [56].

El Carburo de Silicio es un material semiconductor superior al Silicio, específicamente [55], [57]:

- Tiene una banda prohibida más ancha.
- SiC tiene una propiedad de ruptura eléctrica alta, que soportará un voltaje muy a través de una capa delgada.
- Valores de resistencia menores que los dispositivos de silicio.
- Una mayor velocidad de saturación de electrones, lo cual permite conducir a frecuencias de operación más altas.
- Mayor conductividad térmica, permite la operación a densidades de potencia más altas.
- El óxido nativo de SiC que es SiO_2 , el mismo óxido de silicio de toda la familia de dispositivos de potencia MOS, es decir, el MOSFET de potencia y el IGBT, pueden ser todos fabricados en SiC.

5.4.1 SiC MOSFET

De acuerdo a lo investigado, el SiC MOSFET es el principal dispositivo semiconductor candidato para reemplazar al IGBT de silicio en las aplicaciones de electrónica de potencia. Para empezar el SiC MOSFET ofrece menores pérdidas y operación a altas temperaturas. Sin embargo, el inconveniente clave en la producción en masa del SiC MOSFET ha sido la poca fiabilidad del óxido de la compuerta. Aunque investigaciones posteriores demostraron óxidos de puertas fiables, con lo cual ahora los estudios se enfocan en la optimización de la estructura del dispositivo para alcanzar un rendimiento que le permita entrar al mercado y competir con el IGBT de silicio [55].

En [55], se presenta el reciente desarrollo de un prototipo SiC MOSFET de 1200 V de la compañía General Electric (Figura 5.5). El dispositivo encendido a corriente nominal tiene una caída de voltaje menor a 1.5, el mejor valor para un interruptor de 1200 V, este dispositivo se activa aplicando un voltaje a la compuerta de 20 V. En una prueba realizada a este dispositivo, con un voltaje de bloqueo de 600 V, un flujo de corriente de 30 A, se obtuvo un tiempo de encendido y apagado en el rango de los 20 ns y una bajas pérdidas de conmutación, que comparadas con un IGBT comercial fueron 5.7 a 8.8 veces más bajas.

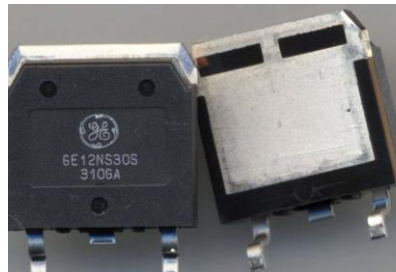


Figura 5.5: Prototipo SiC MOFET desarrollado por General Electric Company

5.4.2 SiC Schottky Diodes

Las principales áreas de aplicación para diodos SiC están en circuitos de corrección de factor de potencia (PFC), fuentes de alimentación y recientemente en inversores fotovoltaicos (PV). La principal ventaja de este diodo es la ausencia de corriente de recuperación inversa durante la conmutación, por lo que es posible aumentar considerablemente la frecuencia de conmutación. Esto a su vez permite disminuir el volumen, el peso y el costo del sistema. Para tensiones superiores (> 3 kV) se consideran estructuras de diodos pn o diseños de diodos Schottky combinados con pn, debido a los altos valores de bloqueo y capacidad de sobrecorrientes.

En el mercado se pueden encontrar diodos Schottky de SiC, con valores de 600 V/ 50 A; 1,2 kV/3 A; 1,2 kV/7 A; 1,2 kV/20 A y 600 V/4 A [58].

5.4.3 SiC JFET

Los primeros intentos de diseñar y fabricar un SiC JFET se hicieron a finales de 1980 y principios de 1990. Durante ese tiempo, las principales cuestiones de investigación se referían al

desarrollo de dispositivos de SiC que serían capaces de resistir altas corrientes y operar a altas frecuencias de conmutación. Fue al mismo tiempo cuando algunos grupos de investigación habían empezado a mencionar las características ventajosas del material de SiC en comparación con el silicio [59]. Sin embargo, los primeros JFET de SiC que se habían fabricado en el laboratorio padecían diversos problemas que afectaban su rendimiento. Los valores de transconductancia relativamente bajos, la movilidad de los canales bajos y las dificultades en el proceso de fabricación, pero también la calidad del material de SiC como tal, todos ellos considerados como problemas de desarrollo de los JFET de SiC. Durante la última década, la mejora significativa de la calidad del material de SiC, permitió lanzar las primeras muestras de ingeniería de SiC JFETs en el mercado para su evaluación en el año 2001 [59]. Desde entonces, algunos diseños adicionales de SiC JFET han sido lanzados en el mercado por varias compañías, sin embargo, ninguno de estos JFET de SiC está totalmente disponible comercialmente como un producto normal en la actualidad, pues cada uno de ellos sufre de varios problemas que tienen que ser totalmente resueltos antes de entrar en la comercialización. A pesar de los problemas de comercialización, los JFET de SiC disponibles han demostrado ser ejemplos muy exitosos de dispositivos de potencia de SiC [59].

Hasta hoy, sólo dos diseños de SiC JFET han sido lanzados al mercado como muestras de ingeniería. El primer diseño de JFET es el denominado "JFET de canal lateral" (LCJFET), mientras que el otro se llama Vertical-Trench JFET (VTJFET).

Se han propuesto dos versiones de la estructura SiC LCJFET. La primera está optimizada para la conmutación rápida, mientras que la otra está optimizada para una baja resistencia en estado encendido, la utilización de cualquiera de las dos opciones dependerá de la aplicación en la cual se utilicen. La versión más reciente de este JFET fue lanzada en 2010, con capacidades de 1200 V con una corriente de saturación que supera los 80 A, mientras que la resistencia en estado es igual a 100 m Ω a temperatura ambiente [59].

El segundo JFET de SiC disponible, el VTJFET, puede ser fabricado como normalmente apagado o normalmente encendido. Independientemente del tipo de dispositivo, la sección transversal es idéntica, excepto por el espesor del canal vertical y los niveles de dopaje de la estructura.

5.4.4 SiC BJT

El SiC BJT es un dispositivo bipolar normalmente OFF, que puede ser fabricado como una estructura NPN o PNP. Sin embargo, solo la estructura NPN ha sido lanzada como muestra de ingeniería hace unos años. El dispositivo SiC BJT combina una caída de voltaje de saturación de colector-emisor muy baja (V_{sat}) y un rendimiento de conmutación bastante rápido. La baja caída de tensión en el estado encendido, se logra principalmente debido a la cancelación de los voltajes de juntura de base-colector y base-emisor en el modo de saturación. Se han reportado resistencias específicas en estado encendido tan bajas como 3,2 m Ω para el SiC BJTs de 1200 V [59].

Como el silicio BJT, el SiC BJT es un dispositivo accionado por corriente, esto significa que se requiere una corriente de base continua para mantener el dispositivo en estado activo. La corriente de base está relacionada con el colector mediante el parámetro de ganancia de corriente β . Hoy en día, se han demostrado ganancias de corriente superiores a 80 para un BJT de SiC comercialmente disponible de 1200 V / 50 A para BJT de SiC, pero esta ganancia cae casi un 50% a 250 °C [59].

La gama de los BJT de SiC comercialmente disponibles hoy en día es estrecha. Hay solamente algunas variaciones del dispositivo de 1200 V que se han lanzado para la evaluación. En particular, se dispone actualmente de dispositivos con valores nominales de corriente que comienzan en 6 A con $V_{sat} = 0,45$ V a hasta 50 A con $V_{sat} = 1,2$ V [59].

5.5. Dispositivos Semiconductores de diamante

Otro material semiconductor de banda ancha prohibida interesante para la fabricación de componentes de potencia es el diamante, aunque no cuenta con una tecnología tan madura como el carburo de silicio (SiC) y el arseniuro de galio (AsGa). El diamante es el material que tiene las propiedades físicas más prometedoras de este grupo, sobretodo en cuanto a posibilidades de elevada tensión y temperatura de funcionamiento, aunque actualmente no se dispone de componentes comerciales debido, entre otros factores, a la elevada temperatura exigida para el procesado físico del material [54].

5.6. Discusión

En este capítulo se hizo una breve revisión de los diferentes dispositivos semiconductores de potencia que están emergiendo para competir comercialmente contra el IGBT, tanto en niveles de tensión de bloqueo, flujo de corriente y frecuencia de conmutación, como también en pérdidas y eficiencia.

El IGCT que es uno de los dispositivos más antiguos dentro de la gama de nuevos semiconductores vistos en el capítulo, presenta muy buenos valores con respecto a voltaje de bloqueo y corriente que puede fluir a través de él, en comparación con el IGBT. Sin embargo, su gran desventaja es la frecuencia de conmutación a la cual puede operar, la cual es hasta 1 kHz y el tiempo de vida es mucho menor que el IGBT [60].

Luego está el IEGT, este dispositivo es un IGBT el cual tiene modificado la estructura del emisor, para así por soportar niveles de tensión y de corriente más grande, sin aumentar en demasía la caída de tensión en estado de conducción V_{sat} . Su comercialización está reducida a una sola empresa, TOSHIBA su creador.

Después aparecen todos los dispositivos hechos del material semiconductor carburo de silicio (SiC MOSFET, diodos Schottky de SiC, SiC JFET, SiC BJT). La mayoría de los dispositivos de potencia de SiC comercialmente disponibles actualmente están clasificados en 1200 V, mientras que las clasificaciones de corriente correspondientes están limitadas a unas pocas decenas de amperes. No obstante, los requisitos para futuros dispositivos de potencia de SiC desde el diseño y los puntos de vista del embalaje varían con respecto a la aplicación específica. Los dispositivos SiC mejorados en términos de bajas pérdidas en el estado de encendido, altas capacidades de corriente y voltaje, y/u operación a alta temperatura son favorables para futuras aplicaciones de electrónica de potencia. Las cuestiones relacionadas con la fiabilidad a largo plazo, la robustez y la estabilidad de los dispositivos de SiC también son cruciales y deben resolverse antes de que comience la producción en masa de estos dispositivos. Sobre la base de las propiedades del material SiC, los futuros dispositivos de energía SiC podrían tener: calificaciones de alto voltaje debido al campo crítico de descomposición del SiC que es 10 veces más alto que el correspondiente en el silicio; corrientes nominales más altas que en dispositivos de potencia de silicio que tienen el mismo área de chip (densidades de corriente más altas). Esto es una consecuencia de la mayor conductividad térmica para el SiC; embalaje de alta temperatura con el fin de aprovechar al máximo las características de

alta temperatura del SiC. Se cree que en el futuro los dispositivos de potencia de SiC que tienen valores de voltaje de hasta 40 kV pueden ser una realidad [59].

Por último, están los dispositivos semiconductores de diamante, que si bien prometen mejores características que todos los dispositivos antes vistos, aún queda mucho por investigarlo y desarrollar prototipos para verificar su rendimiento como tal, pero su futuro es prometedor.

De acuerdo a la información recopilada, el SiC MOSFET aparece como la competencia más próxima al IGBT como interruptor de potencia para inversores de alta potencia, si bien en niveles de tensión y corriente de operación tienen rangos de valores similares ambos dispositivos, es la alta frecuencia de conmutación y la elevada eficiencia del SiC MOSFET que lo hace una atractiva opción para inversores multinivel en comparación con el IGBT de silicio. Asimismo, es el semiconductor de potencia hecho de SiC, que más ha sido desarrollado durante el último tiempo por los investigadores, en relación con los otros semiconductores vistos, y se espera que un par de años se masifique su uso.

Capítulo 6. Simulaciones De Inversores Multinivel Con Distintas Técnicas de Modulación

6.1. CHB Simétrico con PS-PWM

En este capítulo, se realizan varias simulaciones en un inversor CHB monofásico de 7 niveles, utilizando el software Simulink/ MATLAB R2009b. Los parámetros para la simulación de muestran en la Tabla 6.1, los interruptores utilizados son IGBT con diodo antiparalelo, donde el semiconductor a utilizar es el IGBT IRG4BC20UDPbF (Anexo A).

Tabla 6.1: Parámetros del circuito para la simulación

Parámetros	Valor	Unidad
V_{DC}	300	[V]
R	10	[Ω]
L	15	[mH]
m_a	0.8	[-]
m_f	10	[-]
f	50	[Hz]

Se parte este capítulo con la técnica de modulación la PS-PWM, con las portadoras desplazadas entre sí 60° , según lo visto en la sección 3.2. Se ha simulado esta modulación, pues presenta ciertas características interesantes de analizar y además es una de las técnicas más empleadas a nivel industrial, el esquema de modulación se puede apreciar en la Figura 6.1.

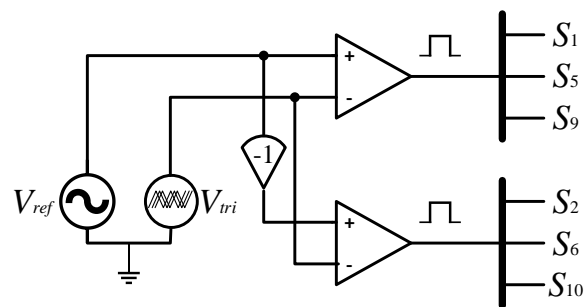


Figura 6.1: Esquema de modulación PS-PWM

Mientras que por otro lado tenemos el diagrama de fuerza, donde están los tres inversores puente H, conectadas a la carga R - L , esto se aprecia en la Figura 6.2,

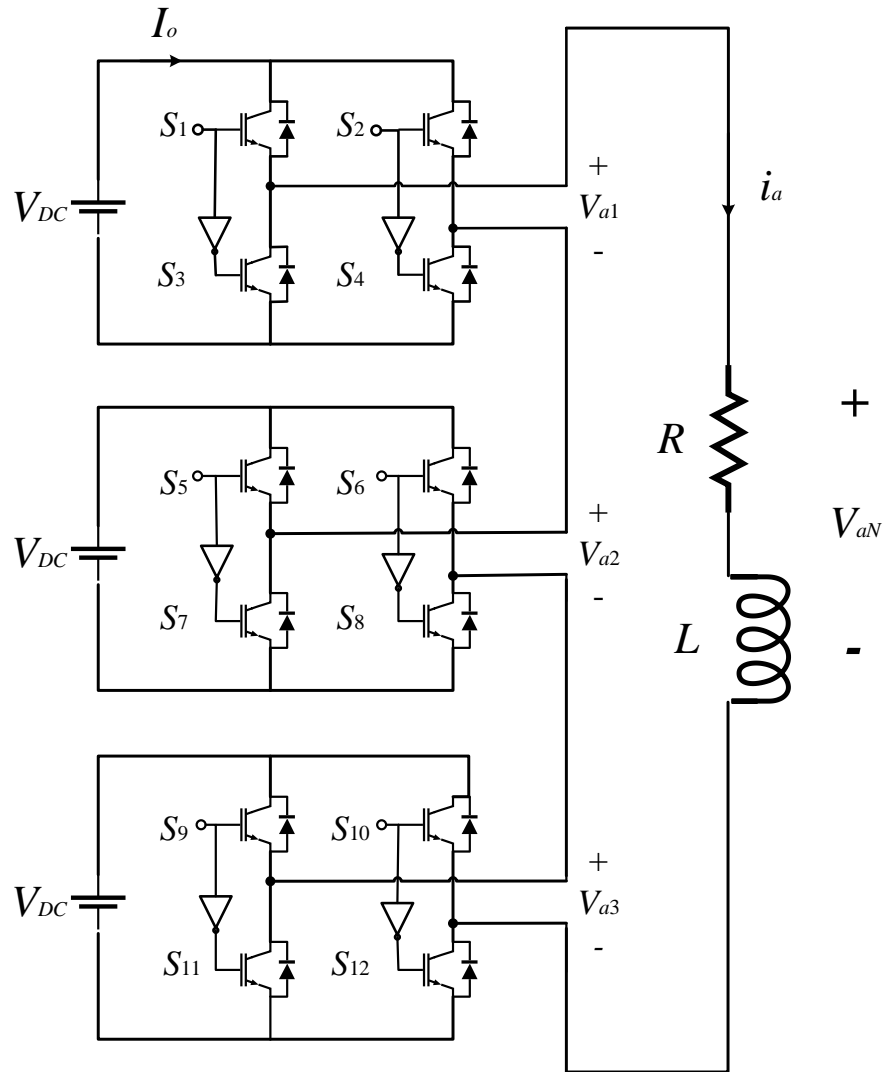


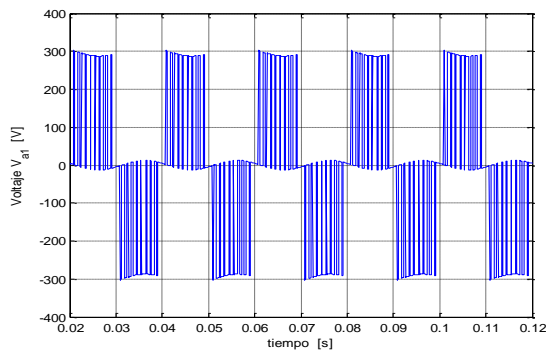
Figura 6.2: Inversor CHB monofásico de 7 niveles usado para las simulaciones

A. *PS-PWM* con $m_a = 0.8$

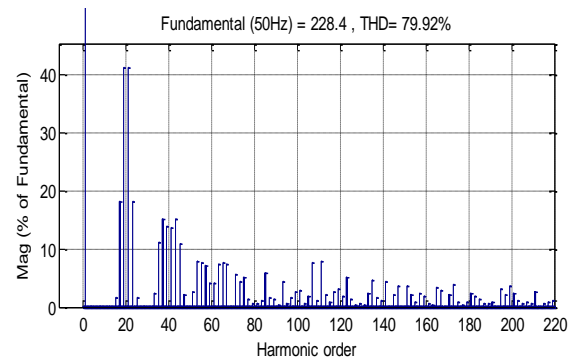
La primera simulación considera un índice de modulación igual a 0.8. En la Figura 6.3 se observan las formas de voltaje y corriente obtenidas de cada puente H como la del inversor total, asimismo se presenta el espectro de frecuencias de cada variable ya mencionada. Se puede apreciar que la forma del voltaje de salida en cada puente H (V_{a1} , V_{a2} , V_{a3}) son similares entre sí, esto debido a que los tres inversores conmutaron a través de los mismos señales de activación de los IGBT tanto

en magnitud como en duración, aunque la única diferencia es que estas señales estaban desplazadas 60° una de otra.

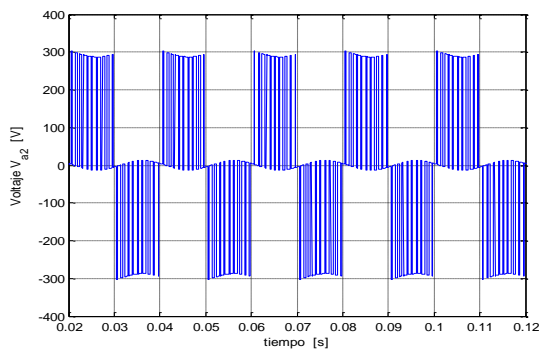
En cuanto a su espectro de frecuencia de los voltajes de cada puente H (Figura 6.3.b.d.f) es prácticamente igual debido a que los tres voltajes son simétricos. Se puede ver que los armónicos se agrupan, principalmente, en bandas de frecuencia en el orden de 20, 40, 60, etc., ósea en bandas alrededor de $2m_f$ y múltiplos tales como $4m_f$, $6m_f$ [8]; donde la banda alrededor del armónico de orden 20 es el que posee la mayor magnitud, aproximadamente un 40% de la fundamental; luego el segundo armónico de mayor magnitud alcanza un valor de un 15% de la fundamental, y luego a mayor frecuencia, la magnitud de los armónicos va decreciendo a valores menores del 10% de la fundamental. En cuanto al THD, las salidas de voltaje de cada celda presentan, en general, una distorsión armónica de un 80% lo que significa que las formas de onda no tienen ninguna similitud con una forma de onda sinusoidal.



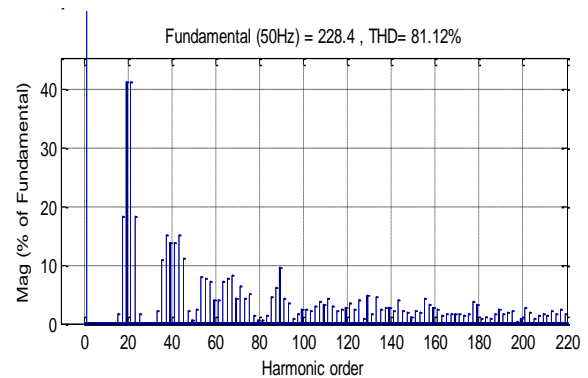
(a)



(b)



(c)



(d)

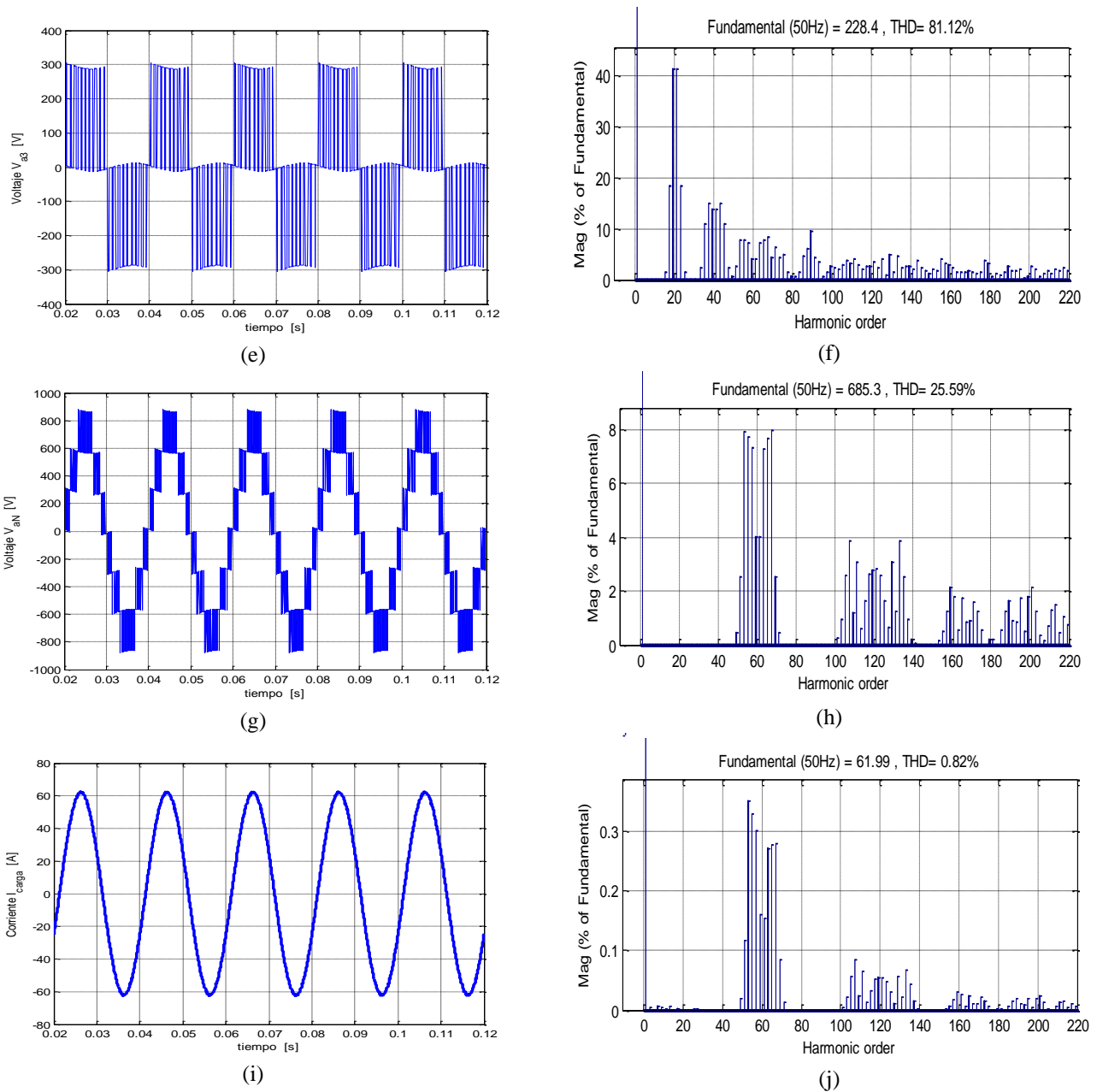


Figura 6.3: Voltajes y corrientes de salida del CHB con $m_a = 0,8$

(a) $V_{a1}(t)$; (b) $V_{a1}(h)$; (c) $V_{a2}(t)$; (d) $V_{a2}(h)$; (e) $V_{a3}(t)$; (f) $V_{a3}(h)$

(g) $V_{aN}(t)$; (h) $V_{a1}(h)$; (i) $I_{aN}(t)$; (j) $I_{aN}(h)$

Ahora, observando la forma de onda del voltaje de salida V_{aN} (Figura 6.3.g), se aprecia que tiene una forma de onda más sinusoidal que las salidas de cada inversor, esta forma de onda se obtuvo por la superposición de los tres voltajes de cada puente H, pues como vemos el peak del voltaje alcanza un valor cercano a los 850 [V], si bien debería alcanzar un valor de 900 [V] debido a

la suma de las tres fuentes de voltaje DC, hay un porcentaje de caída de voltaje en los dispositivos semiconductores. Por otro lado, el espectro de esta señal (Figura 6.3.h) muestra armónicos también agrupados en bandas, pero estas bandas están en el orden armónico de 60, 120, 170 etc. aproximadamente, por lo cual se concluye que existe un factor multiplicativo dado por el número de inversores en cascada, pues los armónicos en V_{aN} aparecen en bandas que son el triple de las bandas de V_{a1} , V_{a2} , V_{a3} , esto se debe a que existe una cancelación de armónicos al sumar los espectros de cada celda por el desfase que existe entre las celdas.

Asimismo, debido a la cancelación de armónicos la magnitud de estos se reducen a un quinto de los armónicos de V_{a1} , V_{a2} , V_{a3} , siendo la magnitud de armónico más alta igual a un 8% de la fundamental. El THD para esta señal es de un 25%, si se quiere mejorar esta valor basta con agregar más niveles.

La forma de onda de la corriente de carga I_{aN} presenta una forma de onda prácticamente sinusoidal y esto se debe a que la carga $R-L$ que alimenta el inversor actúa también como un filtro pasa bajas, pues si la carga hubiese sido puramente resistiva tanto la forma de onda como el espectro de frecuencia hubiese sido igual al del voltaje V_{aN} . En el espectro de la corriente se puede observar que los armónicos se presentan en las mismas bandas que el del voltaje V_{aN} , pero existe una mitigación en la magnitud de estos debido a que, como mencionamos, la carga filtra los armónicos de corriente, la mayor magnitud alcanza un valor 0.3% de la fundamental, lo que es un valor muy bajo, esto también queda presente en el THD pues para la corriente es igual a 0.82%.

Análisis de Pérdidas

Por otra parte también se determinarán las pérdidas en el inversor, donde las ecuaciones que se utilizarán serán (4.29) y (4.4), ecuaciones que son una aproximación lineal de las pérdidas por conmutación y conducción y que no consideran el diodo en antiparalelo. El cálculo de ambas pérdidas se realizarán a través de dos enfoques, uno es utilizando los valores de voltaje y corriente entregados por el software Simulink, y por otra parte estimaremos el valor de esas variables de manera matemática haciendo balance de potencia.

Para determinar las pérdidas por conmutación, reemplazamos los valores de los parámetros: $V_{DC} = 300$ [V], $I_o = 22.66$ [A], $f_{sw} = 500$ [Hz], $t_{c(on)} = 15$ [ns], $t_{c(off)} = 110$ [ns] (ambos tiempos obtenidos del Datasheet).

Así las pérdidas por conmutación en un IGBT son:

$$P_{sw} = 0.5 \cdot 300 \cdot 22.6 \cdot 500 \cdot (15 \times 10^{-9} + 110 \times 10^{-9}) \quad (6.1)$$

Resolviendo,

$$P_{sw} = 0.2124 \text{ [W]} \quad (6.2)$$

Considerando que las pérdidas por conmutación en las 3 celdas son simétricas, las pérdidas totales por conmutación en todo el inversor se calcula considerando los 12 IGBT que utiliza el circuito, esto da como resultado,

$$P_{sw,total} = 2.549 \text{ [W]} \quad (6.3)$$

Luego, para calcular las pérdidas por conducción (4.4) debemos conocer la caída de tensión en el semiconductor en estado *ON* (encendido), valor que podemos encontrar en el datasheet del IGBT, donde $V_{sat} = 1.85 \text{ [V]}$ y el tiempo total de conducción aproximado es de 0.01 [s] por ciclo de conmutación. Por lo tanto las pérdidas por conducción son,

$$P_{on} = 1.85 \cdot 22.66 \cdot 500 \cdot 0.01 \quad (6.4)$$

Calculando,

$$P_{on} = 209.605 \text{ [W]} \quad (6.5)$$

Tomando en cuenta a los 12 IGBT's del inversor,

$$P_{on,total} = 2515.26 \text{ [W]} \quad (6.6)$$

Se puede ver, que las pérdidas por conducción son mayores que las por conmutación, esto se debe a que se está trabajando con una frecuencia de conmutación relativamente baja, y por contraparte el período de conducción de los IGBT es alto.

Así, las pérdidas totales en el inversor CHB considerando $m_a = 0.8$ son igual a,

$$P_{loss,IGBT} = P_{sw,total} + P_{on,total} \quad (6.7)$$

$$P_{loss,IGBT} = 2517.8 \text{ [W]} \quad (6.8)$$

Para calcular la eficiencia, las ecuaciones que pueden ser de utilidad,

$$\eta = \frac{P_{out}}{P_{in}} \quad (6.9)$$

$$\eta = \frac{P_{in} - P_{loss,IGBT}}{P_{in}} \quad (6.10)$$

Donde,

- P_{out} : Potencia de salida del inversor
 P_{in} : Potencia de entrada del inversor
 $P_{loss,IGBT}$: Potencia disipada en los semiconductores

En esta ocasión se usará la expresión (6.10), y para ello es necesario obtener el valor de P_{in} , la cual se obtiene como,

$$P_{in} = 3 \cdot V_{DC} \cdot I_o \quad (6.11)$$

Donde,

- V_{DC} : Voltaje DC de las fuentes del inversor CHB
 I_o : Corriente DC que fluye a través de los semiconductores

Reemplazando los valores queda,

$$P_{in} = 3 \cdot 300 \cdot 22.66 \quad (6.12)$$

$$P_{in} = 20394 \text{ [W]} \quad (6.13)$$

Como ya se tiene $P_{loss,IGBT}$ debemos reemplazar los valores de (6.8) y (6.13) en (6.10) así,

$$\eta = \frac{20394 - 2515.26}{20394} \times 100\% \quad (6.14)$$

$$\eta = 87.66\% \quad (6.15)$$

Ahora, determinaremos nuevamente las pérdidas en los IGBT del inversor, pero ahora aplicaremos el segundo enfoque, realizando un análisis matemático.

Al hacer un balance de potencia, considerando convertidor ideal, lo que entra en este equipo es potencia continua, mientras que en la salida del inversor sale potencia alterna, para este balance eso sí vamos a considerar sólo la potencia media de la potencia alterna, así tenemos que

$$P_{DC} = P_{AC} \quad (6.16)$$

Donde,

- P_{DC} : Potencia continua que ingresa al inversor
 P_{AC} : Potencia media del lado alterno del inversor

Desarrollando,

$$3 \cdot V_{DC} \cdot I_o = \frac{1}{2} V_m \cdot I_m \cdot \cos \varphi \quad (6.17)$$

Donde,

V_{DC} : Fuente de voltaje DC conectado al inversor CHB

I_o : Corriente a través de los semiconductores

V_m : Amplitud de voltaje de salida del inversor a frecuencia fundamental

I_m : Amplitud de corriente de salida del inversor a frecuencia fundamental

$\cos \varphi$: Factor de potencia de la carga conectada a la salida del inversor

El valor de I_m puede ser expresado en función de V_m y por la magnitud de la impedancia de la carga Z_{carga} a través de la Ley de Ohm, así

$$I_m = \frac{V_m}{|Z_{carga}|} \quad (6.18)$$

Entonces, al reemplazar (6.18) en (6.17),

$$3 \cdot V_{DC} \cdot I_o = \frac{1}{2} \frac{V_m^2}{|Z_{carga}|} \cdot \cos \varphi \quad (6.19)$$

Por otra parte, la amplitud de voltaje V_m puede ser escrita en función de m_a y V_{DC} , basándose en la expresión (6.20) obtenida de [8],

$$m_a = \frac{V_{aN,1}}{H \times V_{H,\max}} \quad (6.20)$$

Donde,

$V_{aN,1}$: Valor peak del voltaje de fase del inversor a frecuencia fundamental

H : Número de puentes H por fase

$V_{H,\max}$: Valor máximo del voltaje de salida de un puente H a frecuencia fundamental

Para llevar la ecuación (6.20) a nuestra analogía, $V_{aN,1}$ es igual a V_m y $V_{H,\max}$ es aproximadamente igual a V_{DC} dado que el valor de la fundamental del voltaje máximo de salida de cada puente H es el mismo valor que la fuente DC, es decir, 300 [V], así (6.20) queda como

$$V_m = H \cdot m_a \cdot V_{DC} \quad (6.21)$$

Reemplazando (6.21) en (6.19)

$$3 \cdot V_{DC} \cdot I_o = \frac{1}{2} \frac{(H \cdot m_a \cdot V_{DC})^2}{|Z_{carga}|} \cdot \cos \varphi \quad (6.22)$$

Reemplazando el valor de H por 3, y despejando la corriente I_o ,

$$I_o = \frac{3}{2} \cdot \frac{m_a^2 \cdot V_{DC}}{|Z_{carga}|} \cdot \cos \varphi \quad (6.23)$$

Una vez encontrada la ecuación para calcular la corriente I_o , debemos reemplazar los parámetros por los valores de cada uno; el parámetro que aún se le desconocen sus valores es Z_{carga} , para determinar su magnitud se debe usar la siguiente expresión,

$$|Z_{carga}| = \sqrt{R^2 + X_L^2} \quad (6.24)$$

Recordando que,

$$X_L = 2\pi f_0 L \quad (6.25)$$

Donde,

f_0 : Frecuencia fundamental del voltaje de salida del inversor

L : Inductancia de la carga

Sustituyendo los valores en (6.25),

$$X_L = 2 \cdot \pi \cdot 50 \cdot 15 \times 10^{-3} \quad (6.26)$$

$$X_L = 4.71 \text{ } [\Omega] \quad (6.27)$$

Y luego en (6.24),

$$|Z_{carga}| = \sqrt{10^2 + 4.71^2} \quad (6.28)$$

Calculando,

$$|Z_{carga}| = 11.05 \text{ } [\Omega] \quad (6.29)$$

Mientras que el ángulo de fase se determina así,

$$\varphi = \tan^{-1} \left(\frac{X_L}{R} \right) \quad (6.30)$$

Cambiando a los valores,

$$\varphi = \tan^{-1} \left(\frac{4,71}{11,02} \right) = 25.23^\circ \quad (6.31)$$

Ahora que conocemos los valores de los parámetros de la ecuación (6.23) procedemos a reemplazar,

$$I_o = \frac{3}{2} \cdot \frac{0.8^2 \cdot 300}{11.05} \cdot \cos(25.23^\circ) \quad (6.32)$$

Entonces la corriente I_o es

$$I_o = 23.58 \text{ [A]} \quad (6.33)$$

Esta corriente es mayor que la obtenida mediante la simulación debido al realizar el balance de potencia, se consideró un inversor ideal.

Así, con el valor de la corriente I_o , podemos calcular las pérdidas por conmutación,

$$P_{sw} = 0.5 \cdot 300 \cdot 23.58 \cdot 500 \cdot (15 \times 10^{-9} + 110 \times 10^{-9}) \quad (6.34)$$

$$P_{sw} = 0.221 \text{ [W]} \quad (6.35)$$

Considerando los 12 IGBT del convertidor,

$$P_{sw,total} = 2.652 \text{ [W]} \quad (6.36)$$

Mientras que las pérdidas por conducción (4.4) es igual a

$$P_{on} = 1.85 \cdot 23.58 \cdot 500 \cdot 0.01 \quad (6.37)$$

$$P_{on} = 218.115 \text{ [W]} \quad (6.38)$$

Entonces las pérdidas por conducción en el inversor son,

$$P_{on,total} = 2617.38 \text{ [W]} \quad (6.39)$$

Por lo tanto las pérdidas totales (6.7) son

$$P_{loss,IGBT} = 2600.032 \text{ [W]} \quad (6.40)$$

Obteniendo una eficiencia (6.10) de

$$\eta = \frac{3 \cdot 300 \cdot 23.58 - 2600.032}{3 \cdot 300 \cdot 23.58} \times 100\% \quad (6.41)$$

$$\eta = 87.74\% \quad (6.42)$$

Vemos que hemos obtenido prácticamente el mismo valor de eficiencia para las dos enfoques que le dimos al cálculo de las pérdidas en los IGBT's. Esto nos asegura que ambos métodos son válidos para tener una estimación de la eficiencia del convertidor, eso sí, para el diseño de IGBT's se recomienda usar como base los datos obtenidos del software, puesto que este nos asegura un resultado más exacto.

B. PS-PWM con $m_a=0.4$

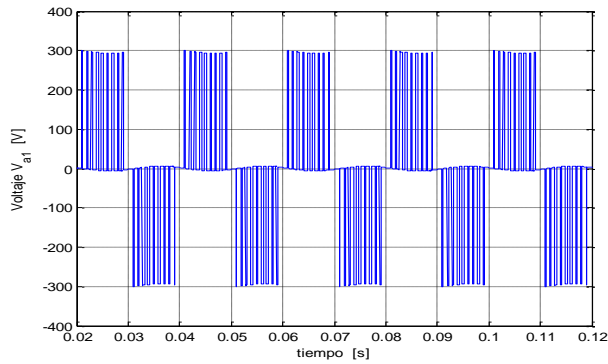
Luego, en la segunda parte de esta simulación se utiliza un m_a igual a 0,4, es decir, disminuir la amplitud de la señal de referencia a la mitad del caso anterior. Las gráficas obtenidas de voltaje, tanto de cada puente H como del inversor completo y la corriente de carga se pueden ver en la Figura 6.4.

Para empezar, podemos apreciar en la Figura 6.4.a.c.e los voltajes V_{a1} , V_{a2} y V_{a3} , donde sus formas de onda son similares entre sí, pero no tienen ninguna similitud con una señal sinusoidal y eso queda remarcado con el THD obtenido para esta señal, este es igual a 154.34%. Asimismo, se puede ver en sus respectivos espectros, (Figura 6.4.b.d.f.) que los armónicos siguen presentando esa característica agrupación en bandas, tal como en la simulación con $m_a = 0.8$, en este caso los armónicos se agrupan en las mismas bandas de frecuencia del primer caso, siendo estas de orden 20, 40, 60, etc., pero la magnitud de los armónicos es mucho mayor que el caso anterior su amplitud se duplica al disminuir a la mitad el m_a , basta con ver los armónicos de la banda de orden 20, ya que estos alcanzan una magnitud aproximada de 80% con respecto a la frecuencia fundamental, en comparación a la simulación anterior donde la banda de armónico 20 registra una magnitud aproximada de 40%. Lo que se puede concluir es que disminuir el índice de modulación se produce un aumento en el THD de los voltajes de cada puente H.

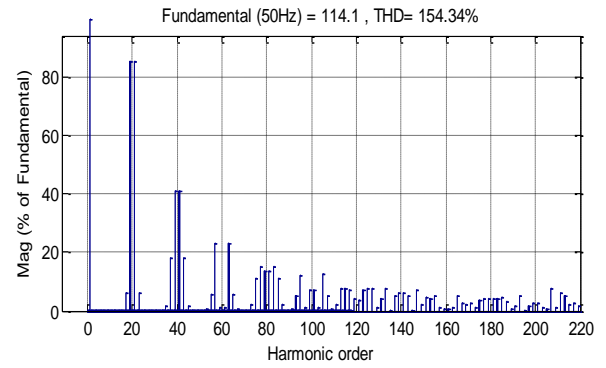
Por otra parte, el voltaje V_{aN} presenta solo 5 niveles en comparación al caso anterior donde la misma señal tenía 7 niveles, además el peak de voltaje es de aproximadamente 600 [V], en cuanto a su espectro presenta la misma característica multiplicativa donde los armónicos se desplazan a bandas 3 veces mayor a las de los armónicos de las celdas individuales, tiene un THD igual a 46.63%, este mismo efecto se apreció en la primera simulación, pero en cuanto a la magnitud de los armónicos estos son mucho mayor que el caso anterior, aquí la magnitud más alta alcanza un valor de aproximadamente un 23% de la fundamental, como se dijo antes, disminuir el m_a provoca que el THD de los voltajes V_{a1} , V_{a2} y V_{a3} aumente con lo cual el voltaje total de salida, que es la suma de estos 3 voltajes individuales, también tendrá THD de valor alto.

En cuanto a la corriente en la carga I_{aN} , su forma es bastante parecida a una sinusoidal pura, pero con un peak igual a 30 [A], lo que es la mitad del peak de corriente con m_a igual a 0.8, esto se debe a la reducción del voltaje aplicado a la carga. En cuanto al espectro de esta señal, su distribución armónica es igual a la del voltaje V_{aN} , pero con una magnitud menor debido a que dijimos que la carga R-L actúa como filtro pasa bajas, pero la magnitud sigue siendo mayor que la de la primera simulación, su THD es igual a 1.41 %, esto producido por el aumento de THD de V_{aN} ;

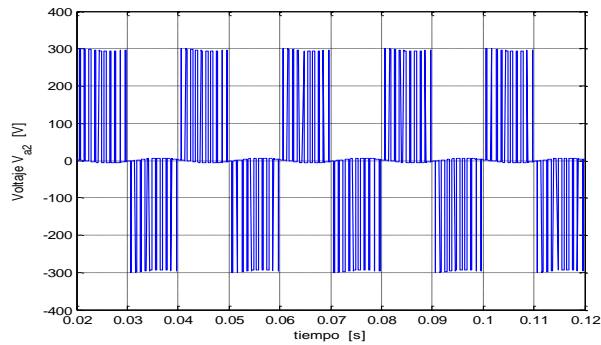
otro detalle importante que se puede mencionar es que a pesar de que la magnitud de los armónicos son mayor en este caso, existe una menor cantidad de estos en comparación a la simulación anterior.



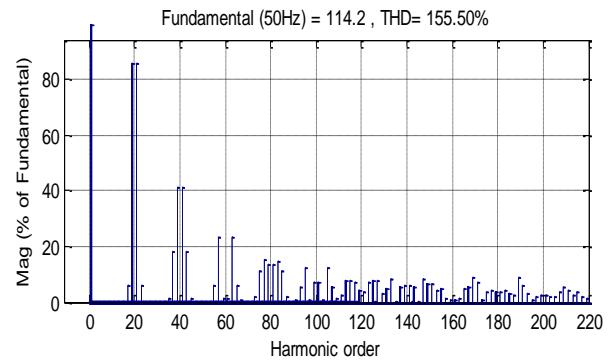
(a)



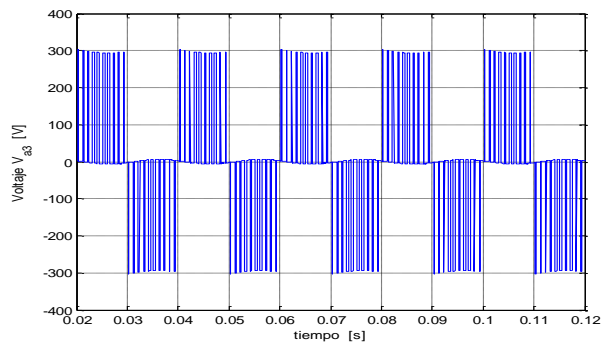
(b)



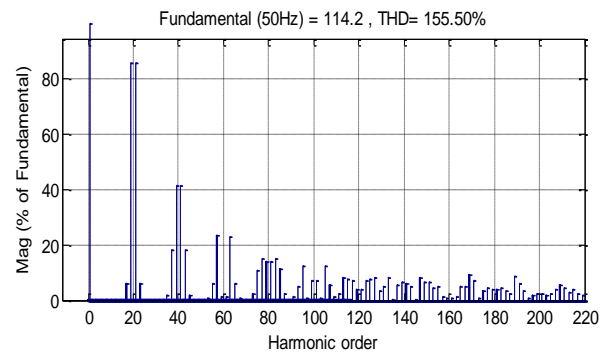
(c)



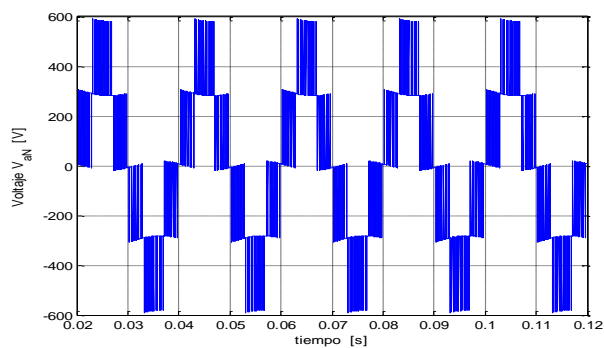
(d)



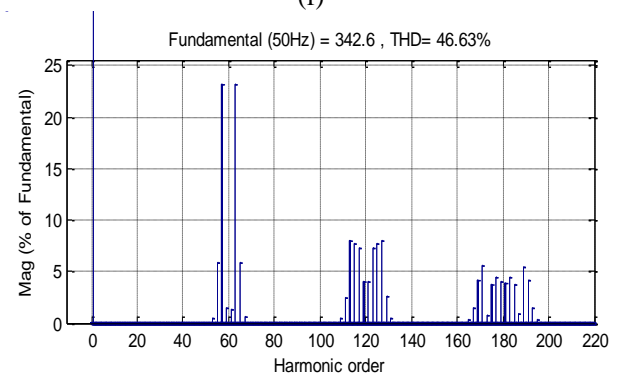
(e)



(f)



(g)



(h)

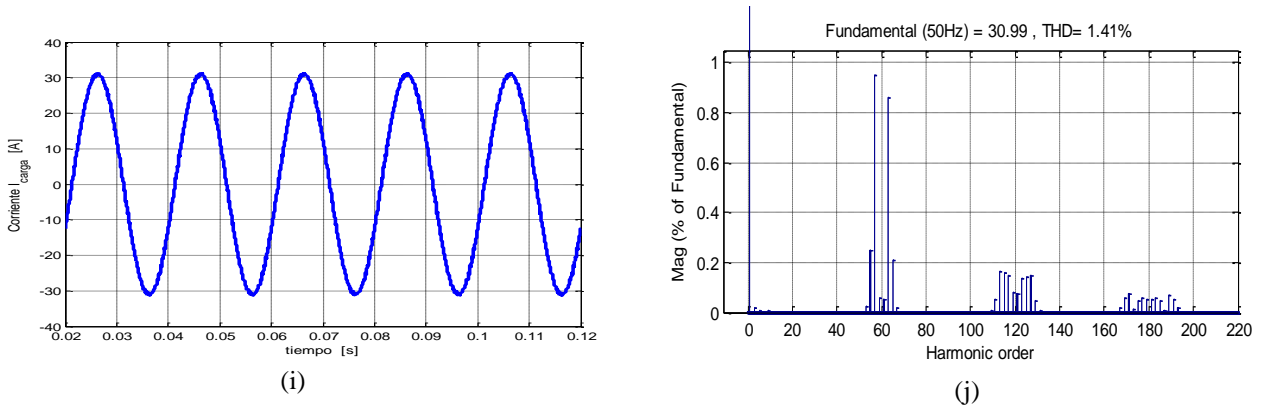


Figura 6.4: Voltajes y corrientes en la salida del CHB con $m_a = 0,4$

- (a) $V_{a1}(t)$; (b) $V_{a1}(h)$; (c) $V_{a2}(t)$; (d) $V_{a2}(h)$; (e) $V_{a3}(t)$; (f) $V_{a3}(h)$;
 (g) $V_{aN}(t)$; (h) $V_{a1}(h)$; (i) $I_{aN}(t)$; (j) $I_{aN}(h)$

Análisis de Pérdidas

Para determinar las pérdidas en este segundo caso, se aplica la misma metodología que en el caso de $m_a = 0.8$. Primero se parte calculando las pérdidas por conmutación basándonos en los datos entregados por Simulink/MATLAB, los parámetros a utilizar son los mismos que el caso anterior, el único valor que varía es el de la corriente I_o , debido al efecto del índice de modulación, la cual para esta ocasión es 5.667 [A]. Así las pérdidas debido a la conmutación de los IGBT son:

$$P_{sw} = 0.5 \cdot 300 \cdot 5.667 \cdot 500 \cdot (15 \times 10^{-9} + 110 \times 10^{-9}) \quad (6.43)$$

$$P_{sw} = 0.053 \text{ [W]} \quad (6.44)$$

Considerando los 12 IGBT que utiliza el circuito, las pérdidas totales en el convertidor son,

$$P_{sw,total} = 0.638 \text{ [W]} \quad (6.45)$$

Luego, para calcular las pérdidas por conducción se consideran las mismas condiciones que para $m_a = 0.8$, pero modificando la corriente I_o , así:

$$P_{on} = 1.85 \cdot 5.667 \cdot 500 \cdot 0.01 \quad (6.46)$$

$$P_{on} = 52.42 \text{ [W]} \quad (6.47)$$

Entonces las pérdidas totales por conducción son,

$$P_{on,total} = 629.037 \text{ [W]} \quad (6.48)$$

Por lo tanto las pérdidas totales en el inversor CHB de 7 niveles son,

$$P_{loss,IGBT} = 629.675 \text{ [W]} \quad (6.49)$$

Obteniendo una eficiencia igual a,

$$\eta = \frac{3 \cdot 300 \cdot 5.667 - 629.675}{3 \cdot 300 \cdot 5.667} \times 100\% \quad (6.50)$$

$$\eta = 87.65\% \quad (6.51)$$

Vemos que la eficiencia obtenida para esta segunda simulación es aproximadamente igual a la conseguida en el primer caso, podemos concluir que una variación en el índice de modulación (en su rango lineal) no afecta en la eficiencia del inversor, con este tipo de modulación.

Ahora, se determinará las pérdidas en los IGBT del inversor pero el cálculo de la corriente lo haremos de manera matemática, tal como lo hicimos anteriormente. Haciendo un balance de potencia y despejando I_o nos queda (6.23),

$$I_o = \frac{3}{2} \cdot \frac{0.4^2 \cdot 300}{11.05} \cdot \cos(25.23^\circ) \quad (6.52)$$

$$I_o = 5.894 \text{ [A]} \quad (6.53)$$

Al igual que en la situación anterior con $m_a = 0.8$, la corriente estimada de forma analítica y levemente mayor que la corriente I_{DC} obtenida de la simulación, esto es debido, a como ya mencionamos, el balance de potencia no se considera las pérdidas en los dispositivos semiconductores.

Así, con el valor de la corriente, podemos calcular las pérdidas por conmutación como:

$$P_{sw} = 0.5 \cdot 300 \cdot 5.894 \cdot 500 \cdot (15 \times 10^{-9} + 110 \times 10^{-9}) \quad (6.54)$$

$$P_{sw} = 0.055 \text{ [W]} \quad (6.55)$$

Considerando los 12 IGBT que utiliza el circuito, las pérdidas totales en el convertidor son:

$$P_{sw,total} = 0.663 \text{ [W]} \quad (6.56)$$

Mientras que las pérdidas por conducción nos dan un total de

$$P_{on} = 1.85 \cdot 5.894 \cdot 500 \cdot 0.01 \quad (6.57)$$

$$P_{on} = 54.52 \text{ [W]} \quad (6.58)$$

Entonces las pérdidas totales por conducción son:

$$P_{on,total} = 654.234 \text{ [W]} \quad (6.59)$$

Por lo tanto las pérdidas totales en el inversor CHB de 7 niveles son:

$$P_{loss,IGBT} = 654.897 \text{ [W]} \quad (6.60)$$

Obteniendo una eficiencia (6.10) igual a,

$$\eta = \frac{3 \cdot 300 \cdot 5.894 - 654.897}{3 \cdot 300 \cdot 5.894} \times 100\% \quad (6.61)$$

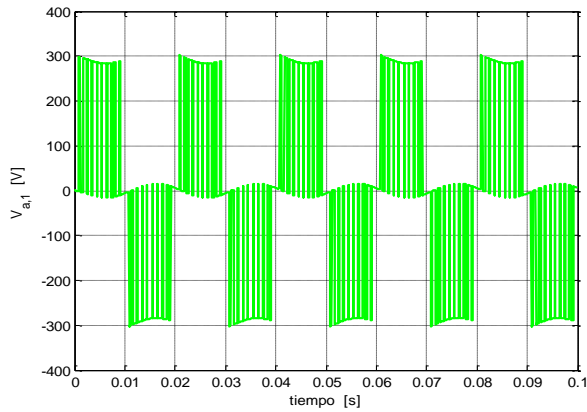
$$\eta = 87.65\% \quad (6.62)$$

Obtenemos el mismo valor de eficiencia, como señalamos anteriormente, la estimación de la eficiencia mediante ambos enfoques es válida.

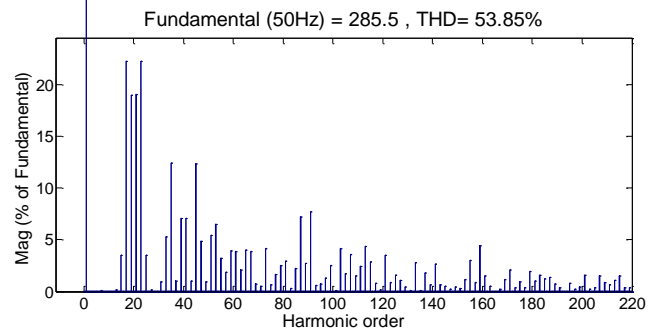
Finalmente, podemos decir que el índice de modulación influye importantemente en diversas características de los voltajes y corrientes de salida del inversor, como es el caso que a menor m_a , los voltajes en V_{a1} , V_{a2} , V_{a3} tienen mayor distorsión armónica; se pierden niveles en el voltaje V_{aN} , y por ende también amplitud, además se tiene una señal más distorsionada armónicamente (aumento del THD), lo que influye directamente en la corriente de salida, ya que ésta también tendrá una menor amplitud y más distorsión armónica. Pero, por el lado positivo, podemos rescatar que reduciendo el m_a se obtiene una menor cantidad de armónicos, y esto puede ser una ventaja en cuanto a reducir el riesgo de resonancia en algún filtro del sistema. Por otra parte la modificación del índice de modulación no afecta en la principal característica de la modulación PS-PWM en el CHB, esa que dice que cada celda del inversor conmuta a un valor medianamente bajo de frecuencia, pero visto desde el equivalente completo de la fase el convertidor conmuta a una alta frecuencia, y la agrupación de los armónicos en bandas de frecuencia tampoco se ve afectada por la modificación del índice de modulación.

Por último, la modificación del índice de modulación no influye significativamente en la eficiencia de un convertidor para este tipo de técnica, eso queda reflejado en la estimación de la eficiencia para dos diferentes m_a dentro del rango lineal., pues como hemos visto, de las dos simulaciones que se hicieron con $m_a = 0.8$ y $m_a = 0.4$, la eficiencia nos dio el mismo valor.

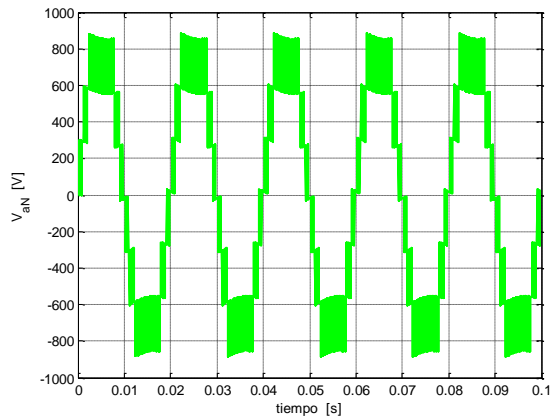
C. Formas de onda y Espectro frecuencial ($m_a = 1.0$)



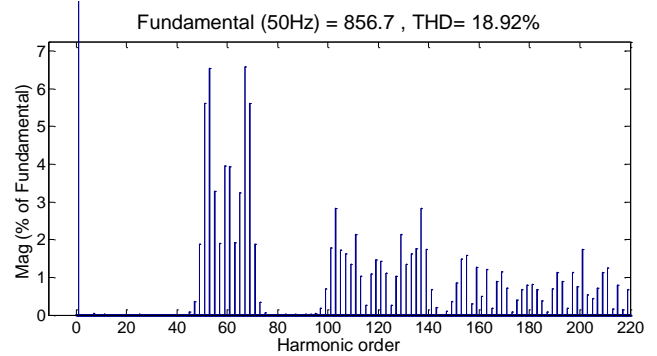
(a)



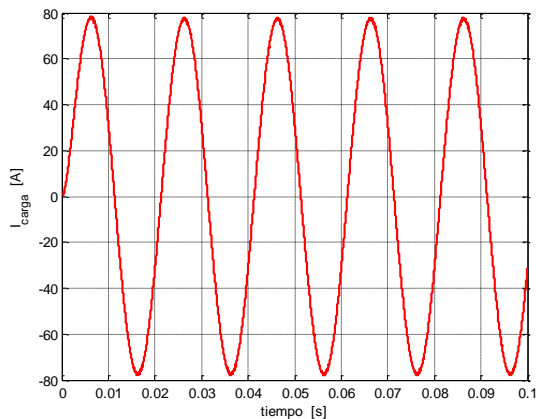
(b)



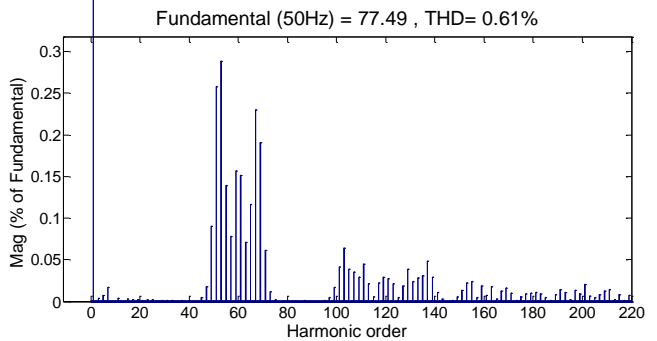
(c)



(d)



(e)



(f)

Figura 6.5: Formas de onda y su respectivo contenido armónico para PS-PWM

a) $V_{a1}(t)$; b) $V_{a1}(h)$; c) $V_{aN}(t)$; d) $V_{aN}(h)$; e) $I_{carga}(t)$; f) $I_{carga}(h)$

En la Figura 6.5(a), (b) se aprecia la forma de onda de voltaje y el respectivo contenido armónico del puente H₁, por simplicidad sólo se muestra la salida de un puente H debido a que las

demás celdas poseen la misma salida. La forma de onda de voltaje representa una forma de onda unipolar con amplitud máxima correspondiente al valor de la fuente conectada en la celda, en este caso 300 [V]. Por otra lado, presenta armónicos centrados en bandas alrededor de $2m_f$, y múltiplos de esta como $4m_f$ y $6m_f$.

En la Figura 6.5(c), (d) se observa la forma de onda del voltaje de salida de la fase compuesta por la superposición de las salidas de cada puente H, es debido a esto que la amplitud máxima de la salida del inversor alcanza los 900 [V], se puede mencionar que su forma se aproxima más a una sinusoidal en comparación a los voltajes de salida de cada puente H. Los armónicos dominantes de V_{aN} , aparecen en bandas alrededor de $6m_f$, $12m_f$, debido a esta característica y como se mencionó en la sección anterior, existe un efecto multiplicativo en el orden de los armónicos, permitiendo que estos aparezcan desplazados hacia una frecuencia más alta.

En la Figura 6.5(e), (f), se presenta la corriente en la carga, su forma es prácticamente sinusoidal debido a que la carga RL actúa como filtro pasabajas mitigando en gran medida los armónicos producidos por esta modulación.

D. Análisis de pérdidas y Distorsión Armónica

En este apartado, se variará el índice de modulación m_a de 0.1 a 1 en intervalos de 0.1, esto significa que se analizarán 10 puntos de operación diferentes.

Se analizarán en primera medida las pérdidas en los dispositivos semiconductores del convertidor, las gráficas de la Figura 6.6 se encuentran en por unidad (p.u.) con la potencia base del inversor, es decir, considerando m_a igual a 1.

Como podemos apreciar en primera instancia en la Figura 6.6, las pérdidas en el inversor aumentan a medida que el índice de modulación crece, es decir, existe una relación cuadrática entre I_o y m_a de acuerdo a la ecuación (6.23), así si aumenta el índice de modulación, la corriente I_o también lo hace, y por ende las pérdidas también aumentan.

También se puede ver que la mayoría de las pérdidas, para esta simulación, corresponden a las pérdidas por conducción, debido principalmente a que las pérdidas por conmutación dependen principalmente de la frecuencia de conmutación y para esta simulación se usa una frecuencia más bien baja, en comparación con las pérdidas por conducción que dependen directamente del tiempo de conducción, que en este escenario son bastante prolongados.

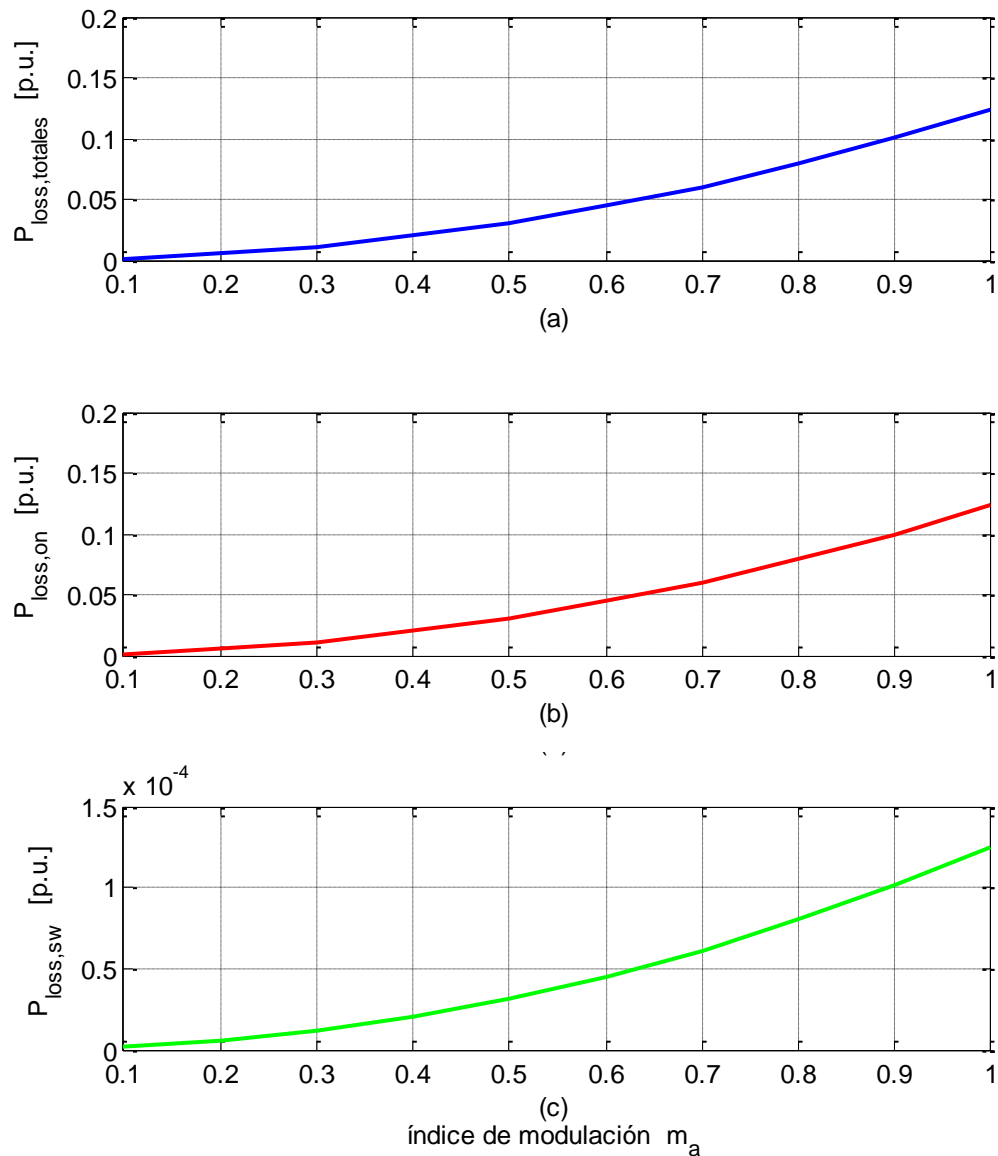


Figura 6.6: Pérdidas en el inversor con PS-PWM

a) Pérdidas totales; b) Pérdidas por conducción; c) Pérdidas por conmutación

Luego en la Figura 6.7, podemos apreciar que la distribución de pérdidas en cada celda es simétrica, esto significa que cada celda disipa la misma cantidad de energía. Esto se debe a que todas las portadoras que modulan la señal de referencia son iguales entre sí en amplitud y frecuencia, solo que se encuentran desplazadas entre sí en 60° , por lo que la señales de conmutación para cada puente H son idéntica. Cabe señalar que las gráficas de las celdas puente $H_{1,2,3}$ están superpuestas en la Figura 6.7.

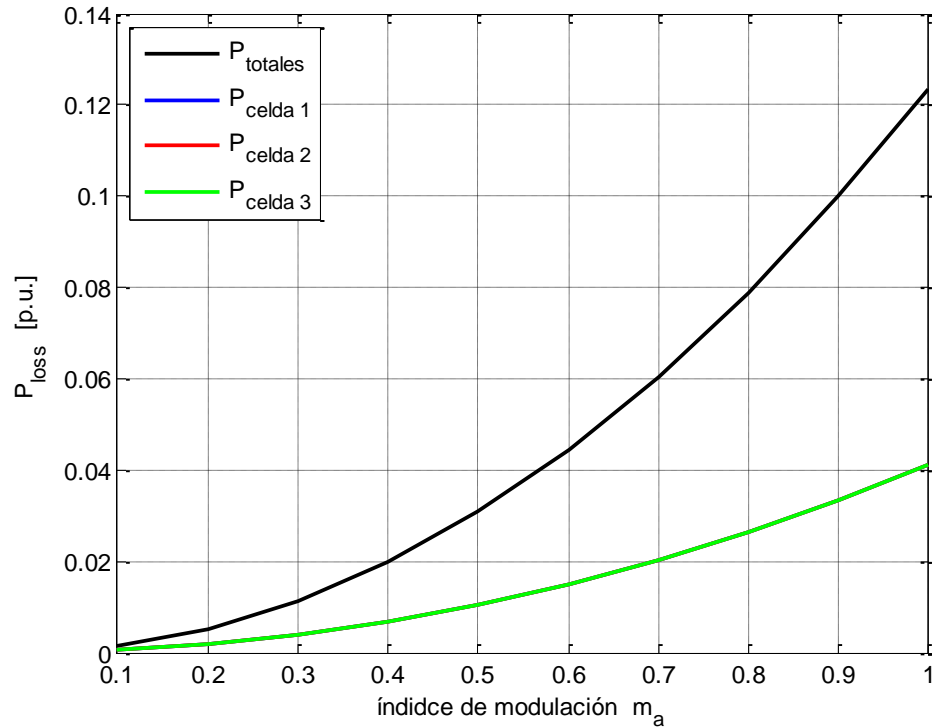


Figura 6.7: Pérdidas totales y en cada celda con PS-PWM

En la Figura 6.8, se puede observar que a medida que aumenta el valor del índice de modulación, la distorsión total armónica tanto de voltaje como de la corriente en la carga disminuye de forma exponencial. Un índice de modulación bajo significa que se pierden niveles en el voltaje de salida, por lo que la salida no será tan sinusoidal como se quisiera y eso conlleva a un aumento en el THD. Se puede extraer de los gráficos que para los índices de modulación entre 0.7 – 1 se presentan los porcentajes de distorsión más bajos. Cabe destacar, que la corriente de carga I_{aN} tiene un porcentaje menor de distorsión en comparación al voltaje de carga V_{aN} debido a que la carga R-L actúa como un filtro pasabajas, el cual elimina los armónicos de alta frecuencia y mitiga algunos de bajo orden.

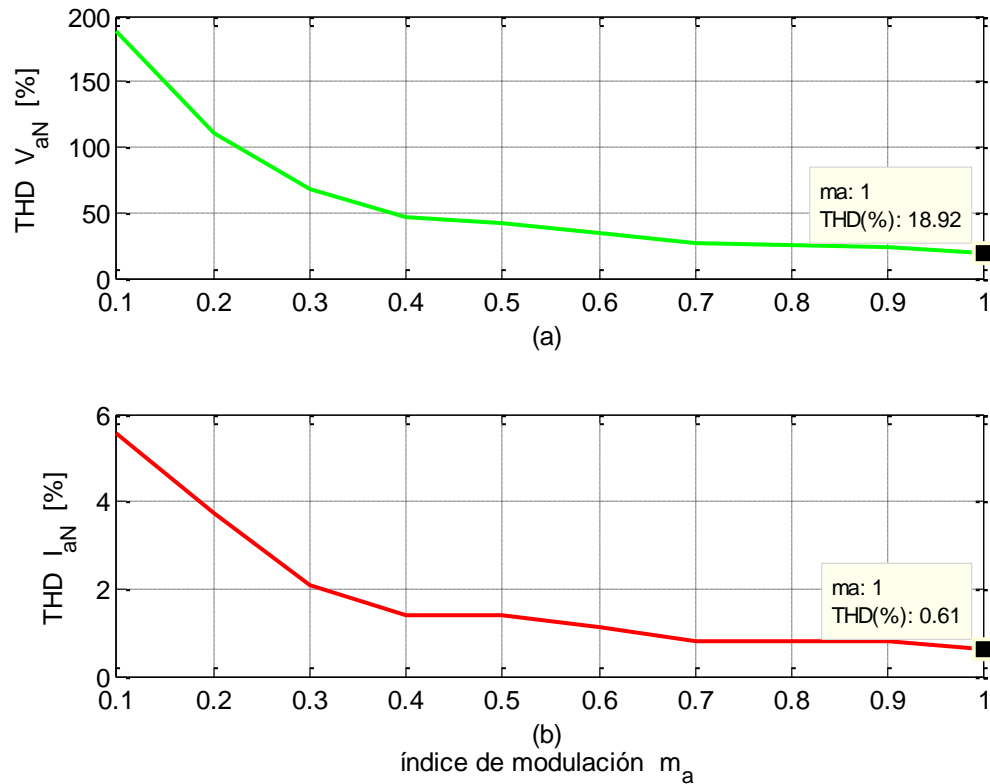


Figura 6.8: Evolución del THD con PS-PWM

a) THD V_{aN} vs m_a ; b) THD I_{aN} vs m_a

En la Figura 6.9 se aprecia la eficiencia del convertidor bajo la modificación del índice de modulación y se puede ver claramente que esta no sufre ningún cambio, es decir, que independientemente del m_a con el que se trabaje la eficiencia del convertidor seguirá siendo la misma.

Esto se puede explicar matemáticamente de la siguiente forma. Primero partiremos tomando la ecuación (6.23),

$$I_o = \frac{3}{2} \cdot \frac{m_a^2 \cdot V_{DC}}{|Z_{carga}|} \cdot \cos(\varphi)$$

Si se dejan todos los parámetros permanecen constantes a excepción del índice de modulación podemos realizar la siguiente sustitución,

$$I_o = m_a^2 \cdot \lambda \quad (6.63)$$

Donde,

$$\lambda = \frac{3}{2} \cdot \frac{V_{DC}}{|Z_{carga}|} \cdot \cos(\varphi) \quad (6.64)$$

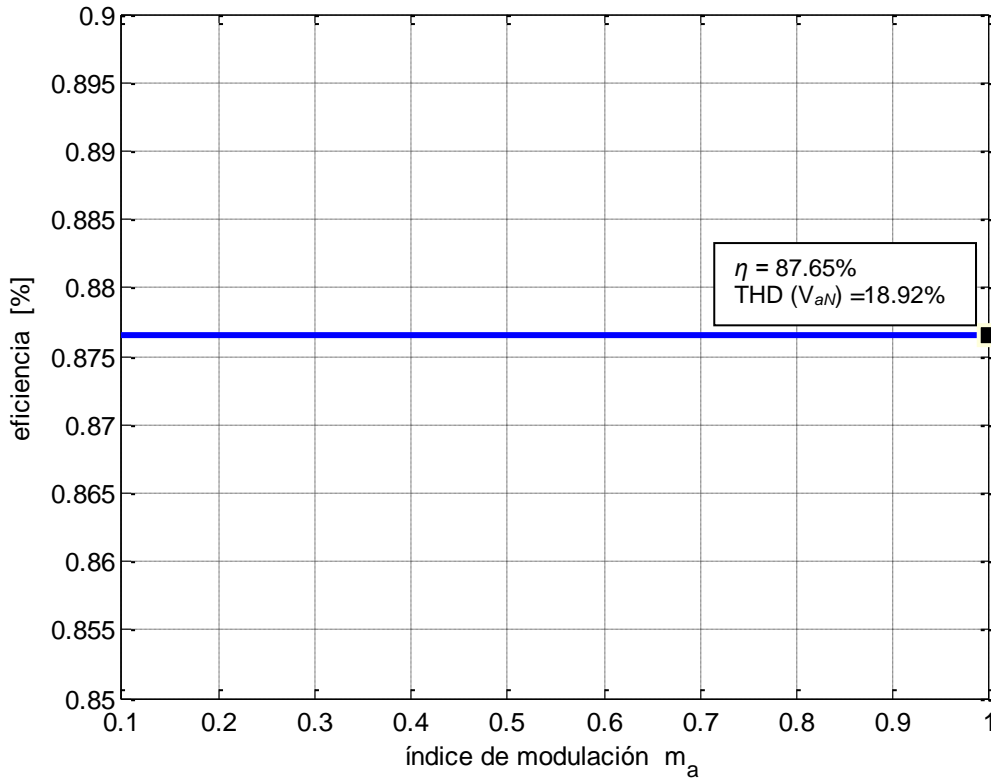


Figura 6.9: Eficiencia de inversor CHB con PS-PWM vs m_a

Luego, al utilizar las ecuaciones de pérdidas de conmutación y conducción, (4.29) y (4.4) respectivamente, y reemplazando (6.63) en estas nos queda,

$$P_{sw} = 0,5 \cdot V_{DC} \cdot (m_a^2 \cdot \lambda) \cdot f_{sw} \cdot (t_{c(on)} + t_{c(off)}) \quad (6.65)$$

Y,

$$P_{on} = V_{sat} \cdot (m_a \cdot \lambda) \cdot f_{sw} \cdot t_{on} \quad (6.66)$$

Si sumamos (6.65) y (6.66) resultan las pérdidas totales,

$$P_{loss,IGBT} = m_a^2 \cdot s_{dev} \cdot \left[0,5 \cdot V_{DC} \cdot \lambda \cdot f_{sw} \cdot (t_{c(on)} + t_{c(off)}) + V_{sat} \cdot \lambda \cdot f_{sw} \cdot t_{on} \right] \quad (6.67)$$

Donde,

s_{dev} : Número total de dispositivos semiconductores en el inversor

Si se hace la siguiente sustitución

$$P_{loss,IGBT} = m_a^2 \cdot \sigma \quad (6.68)$$

Donde,

σ : Representa variables constantes

Así,

$$\sigma = s_{dev} \cdot \left[0,5 \cdot V_{DC} \cdot \lambda \cdot f_{sw} \cdot (t_{c(on)} + t_{c(off)}) + V_{sat} \cdot \lambda \cdot f_{sw} \cdot t_{on} \right] \quad (6.69)$$

Por otro lado considerando la potencia de entrada (6.11) y reemplazando la corriente I_o por (6.63) resulta,

$$P_{in} = 3 \cdot V_{DC} \cdot m_a^2 \cdot \lambda \quad (6.70)$$

Reagrupando y reemplazando nos queda,

$$P_{in} = m_a^2 \cdot \gamma \quad (6.71)$$

Donde,

γ : Representa variable constantes

$$\gamma = 3 \cdot V_{DC} \cdot \lambda \quad (6.72)$$

Finalmente, reemplazando (6.68) y (6.71) en la ecuación de eficiencia (6.10) da como resultado,

$$\eta = \frac{m_a^2 \cdot \gamma - m_a^2 \cdot \sigma}{m_a^2 \cdot \gamma} \quad (6.73)$$

Finalmente eliminando el término m_a^2 ,

$$\eta = \frac{\gamma - \sigma}{\gamma} \quad (6.74)$$

Como habíamos dicho anteriormente γ y σ son parámetros que se dejan constantes, por lo tanto la eficiencia del inversor no depende del índice de modulación.

6.2. CHB Simétrico con LS-PWM

En este segundo caso se utiliza el mismo circuito de la simulación en el apartado anterior Figura 6.2, sólo que ahora se usará la modulación LS-PWM PD, lo que significa que las portadoras están en fase y desplazadas verticalmente dentro de la banda de -1 a 1 (ver Figura 3.4.c), los parámetros son los mismos de la Tabla 6.1 y el esquema de la modulación se muestra en la Figura 6.10.

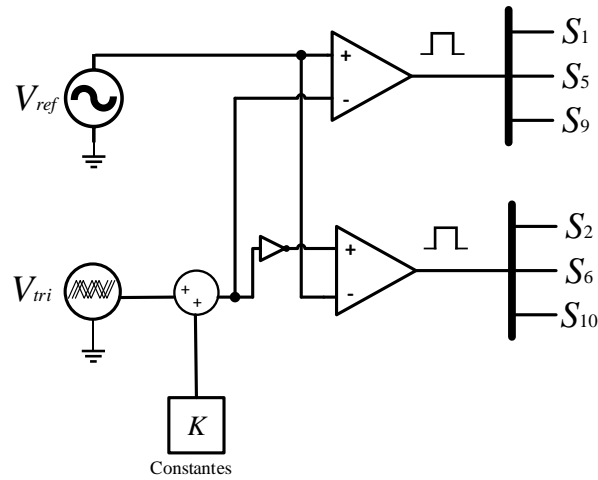
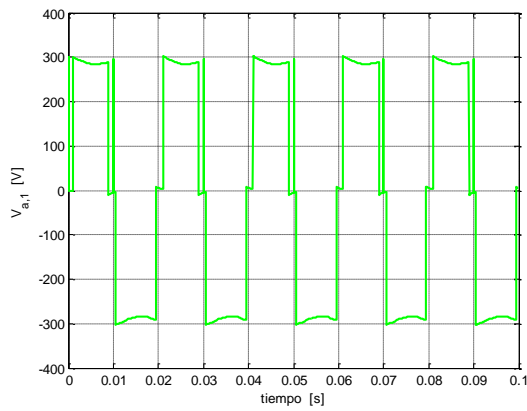
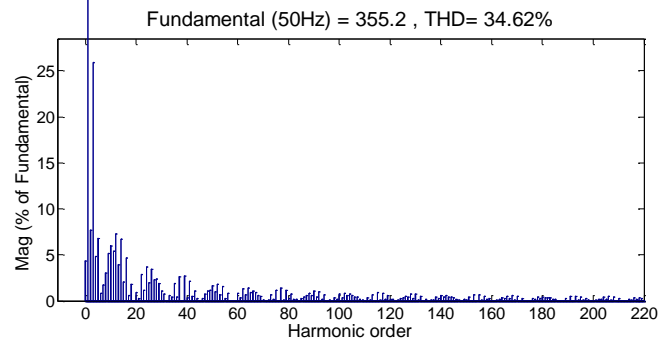


Figura 6.10: Esquema modulación LS-PWM

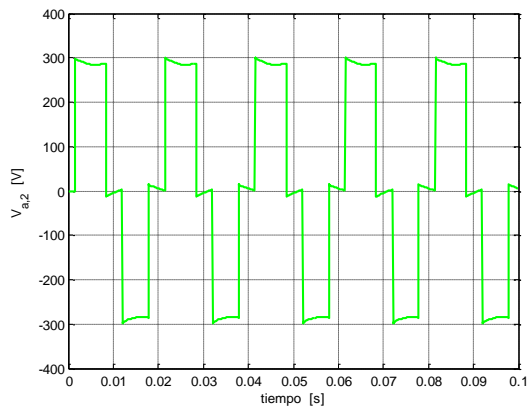
A. Forma de onda y espectro frecuencia ($m_a=1.0$)



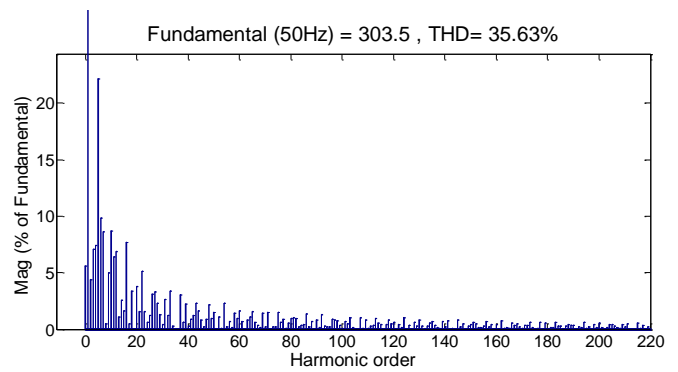
(a)



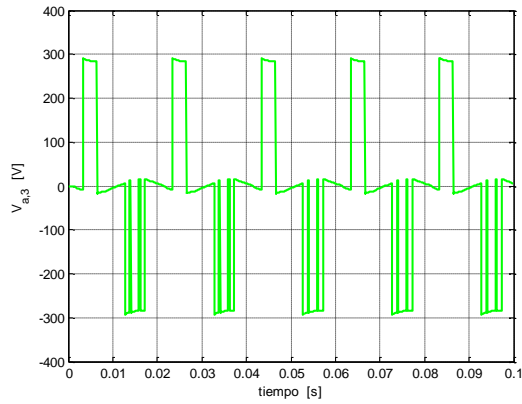
(b)



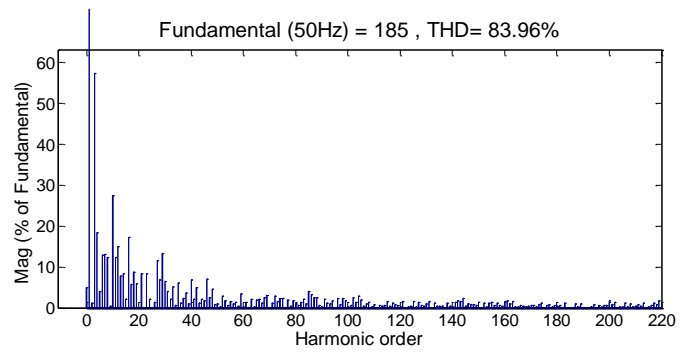
(c)



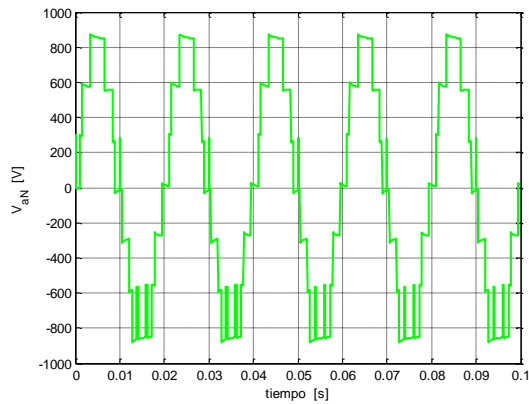
(d)



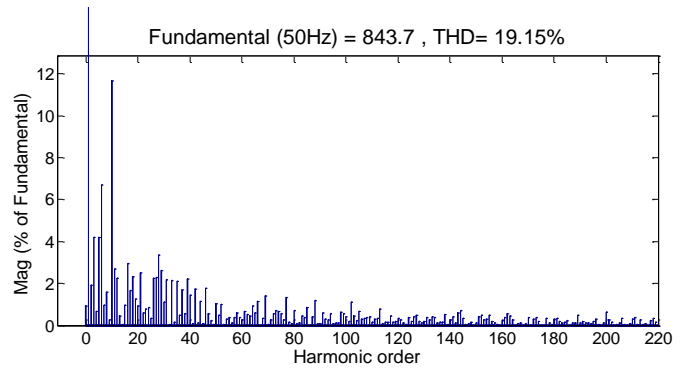
(e)



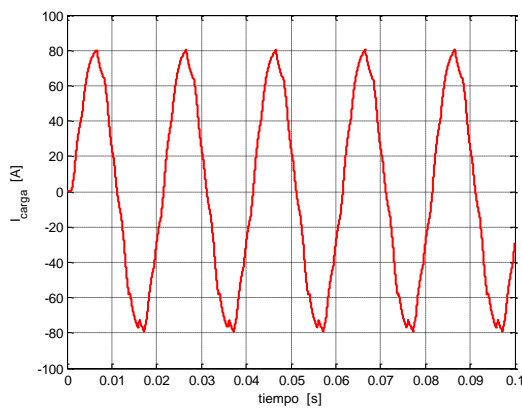
(f)



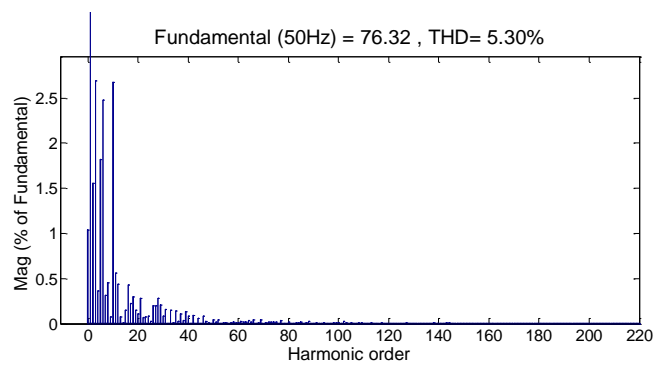
(g)



(h)



(i)



(j)

Figura 6.11: Forma de ondas y su respectivo contenido armónico para LS-PWM

- a) $V_{a1}(t)$; b) $V_{a1}(h)$; c) $V_{a2}(t)$; d) $V_{a2}(h)$; e) $V_{a3}(t)$; f) $V_{a3}(h)$;
 g) $V_{aN}(t)$; h) $V_{a1}(h)$; i) $I_{carga}(t)$; j) $I_{carga}(h)$

Se puede observar que el voltaje de salida V_{a1} del puente H_1 (Figura 6.11(a)), conmuta a la frecuencia fundamental y que su período de conducción es mayor que el voltaje de salida V_{a2} del puente H_2 (Figura 6.11(c)) ya que si bien también se destaca por conmutar la frecuencia fundamental, su tiempo de conducción es menor, por último el voltaje de salida V_{a3} del puente H_3 (Figura 6.11(e)), tiene una mayor conmutación, como consecuencia de esto cada puente H tiene una distribución de potencia diferente. En el espectro de frecuencia de cada celda (Figura 6.11(b), (d), (f)) se observa que los armónicos más significantes aparecen en bandas alrededor de m_f .

El voltaje de salida V_{aN} (Figura 6.11(g)) está formado por la superposición de los voltajes de las tres celdas, y de su espectro de frecuencia (Figura 6.11(h)) se puede mencionar que el armónico de magnitud más significante aparece en m_f .

La forma de onda de la corriente de carga (Figura 6.11(i)) es menos sinusoidal que la presentada en PS-PWM, debido a la gran presencia de armónicos de bajo orden (Figura 6.11(j)) que no pueden ser mitigados por la carga RL .

B. Análisis de pérdidas y Distorsión Armónica

En primer lugar, de la Figura 6.12 se puede ver que las pérdidas por conmutación son mucho mayores que las por conducción, debido a que como mencionamos anteriormente, la frecuencia de conmutación es baja en comparación con los tiempos de conducción, parámetros que influyen fuertemente en las pérdidas por conmutación y conducción respectivamente. También se puede observar en la gráfica de las pérdidas totales, que existen varios puntos de inflexión en la curva que hace que está no sea directamente proporcional con el índice de modulación. Si observamos bien, para los índices de modulación 0.3, 0.5 y 0.8 es donde ocurren estos puntos de inflexión, esto se debe a que como las portadoras están desplazadas entre sí cada $1/3$, significa que en esos m_a algunas celdas comienzan a quedar deshabilitadas, es decir, no reciben pulsos de disparos que activen a los IGBT's.

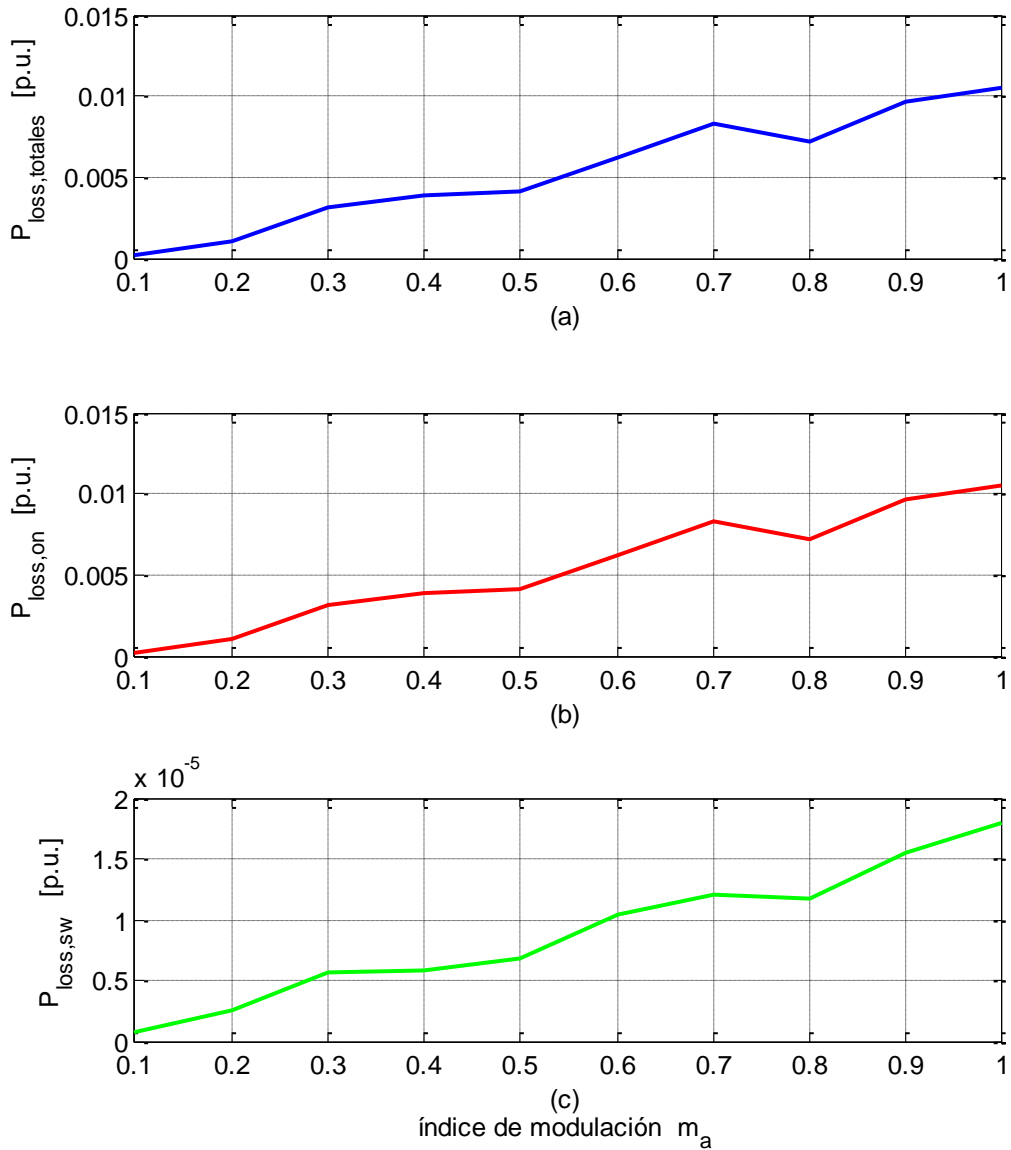


Figura 6.12: Pérdidas en el inversor con LS-PWM PD

a) Pérdidas totales; b) Pérdidas por conducción; c) Pérdidas por conmutación

En la Figura 6.13, se puede apreciar que las pérdidas no se distribuyen simétricamente entre las tres celdas del inversor, es decir, existe una celda que trabaja más veces que otra, esto debido a que al disminuir el índice de modulación algunas celdas comienzan a conmutar menos o simplemente quedan deshabilitadas. Por ejemplo, la celda puente H_3 solo conmuta/conduce para índice de modulación entre $0.7 - 1$, para m_a más bajos está deja de trabajar.

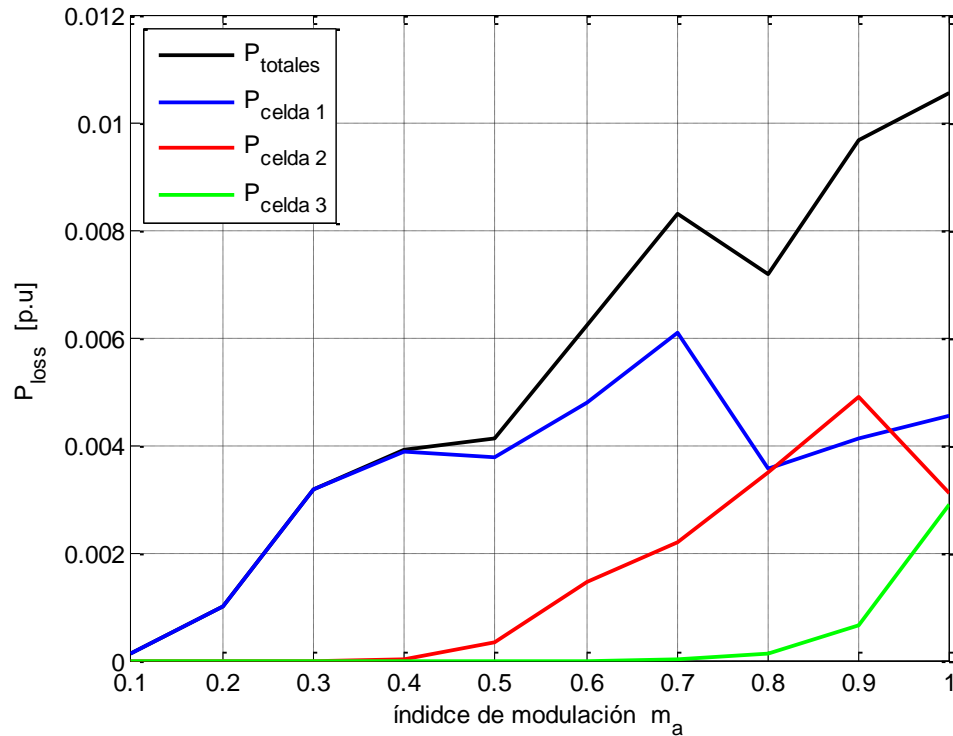


Figura 6.13: Pérdidas totales y de cada puente H con LS-PWM

Por otra parte, si se analizan las formas de onda de las pérdidas de cada celda se puede ver que en cada una de ellas existe un punto donde sus pérdidas son mayores en comparación con los demás índices de modulación: por ejemplo, para la celda H_1 su peak de pérdidas ocurre para el m_a igual a 0.7, para la celda H_2 es cuando el m_a igual a 0.9 y para la celda 3 es en el m_a igual a 1.

De la Figura 6.14, se puede extraer que tanto la distorsión armónica para el voltaje como para la corriente de salida tiene una forma exponencial decreciente a medida que aumenta el índice de modulación. Como se señaló anteriormente, el THD de I_{aN} es menor en comparación con V_{aN} debido a que la carga $R-L$ actúa como filtro pasabajas, mitigando los armónicos de baja frecuencia y eliminando los de orden mayor, lo que produce un menor en el THD de la corriente de salida.

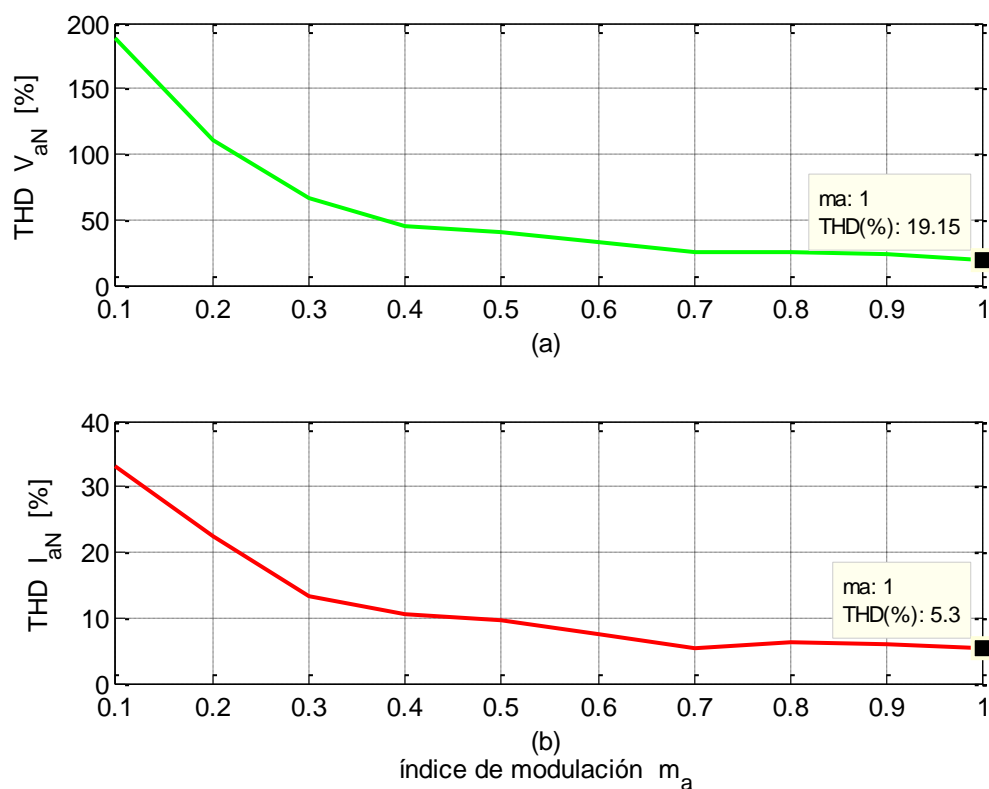


Figura 6.14: Evolución del THD con LS-PWM

a) THD V_{aN} vs m_a ; b) THD I_{aN} vs m_a

En la Figura 6.15, se observa claramente que la eficiencia varía con respecto al índice de modulación. También se puede ver que existe claramente un punto de mínima eficiencia que es cuando m_a es 0.3, justo en este punto queda solo una celda trabajando, con períodos prolongados de conducción. Pero, por otro lado, asimismo existen puntos de máxima eficiencia, como para m_a igual a 0.1, 0.8 y 1.0, pero debemos considerar que si bien para $m_a = 0.1$ existe una máxima eficiencia también la distorsión total armónica es bastante elevada para el voltaje y la corriente de salida; para $m_a = 0.8$ existe máxima eficiencia, incluso menores pérdidas que con $m_a = 1.0$ pero presenta un THD de voltaje y corriente levemente superior al que se obtiene con dicho índice de modulación; por último, para $m_a = 1.0$ existe máxima eficiencia, también tiene la mínima distorsión armónica, pero posee una mayor cantidad de pérdidas.

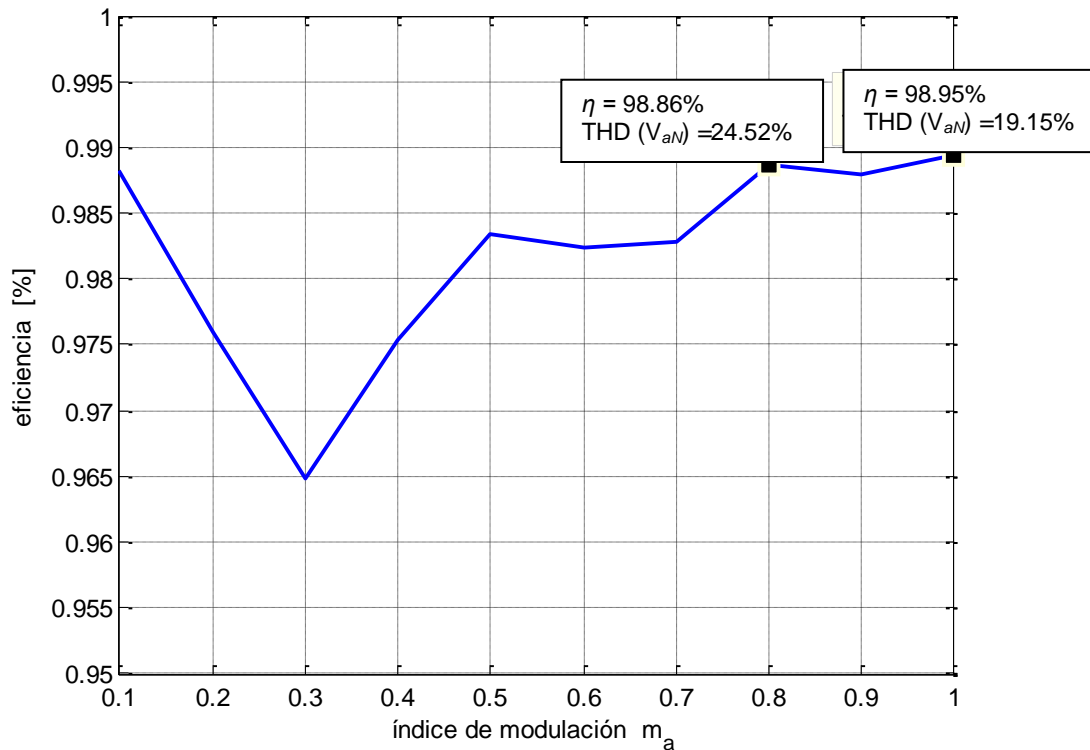


Figura 6.15: Eficiencia de inversor CHB simétrico con LS-PWM PD vs m_a

6.3. CHB Asimétrico con NLM

En esta tercera simulación se utiliza un inversor asimétrico terciario, es decir, la razón entre las fuentes de voltaje DC es 1:3:9. Como se menciona en el título, esta topología es modulada por la técnica NLM explicada en la sección 3.5. La carga alimentada es la misma que las dos simulaciones anteriores, y las fuentes de voltaje son $V_{DC1} = 900$ [V], $V_{DC2} = 300$ [V] y $V_{DC3} = 100$ [V]. El esquema de modulación de NLM se puede ver en la Figura 6.16.

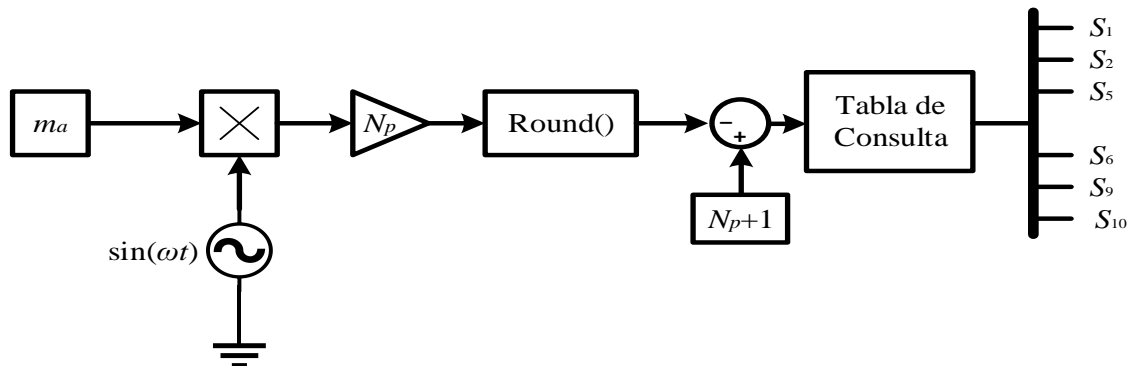
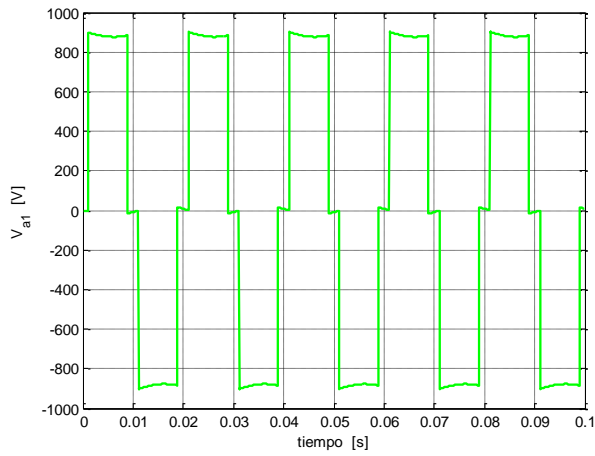
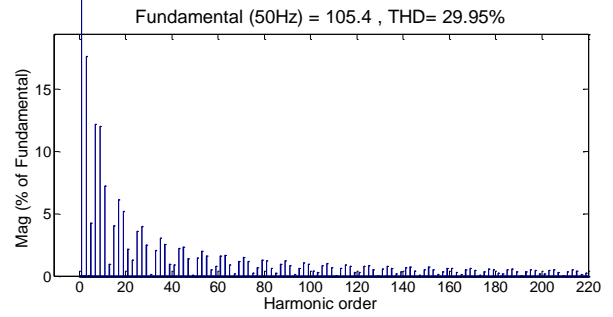


Figura 6.16: Esquema de modulación NLM

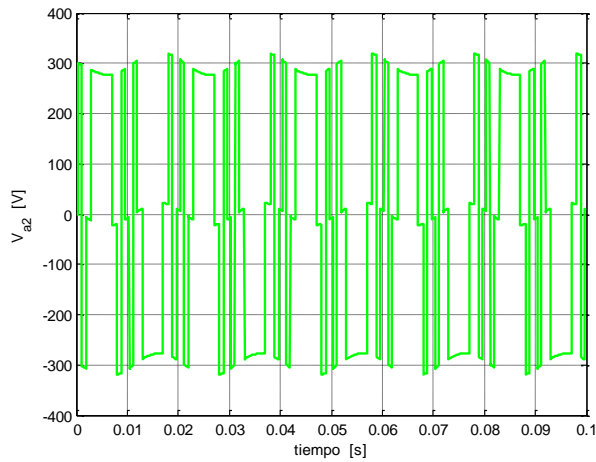
A. Formas de onda y espectro frecuencial ($m_a=1.0$)



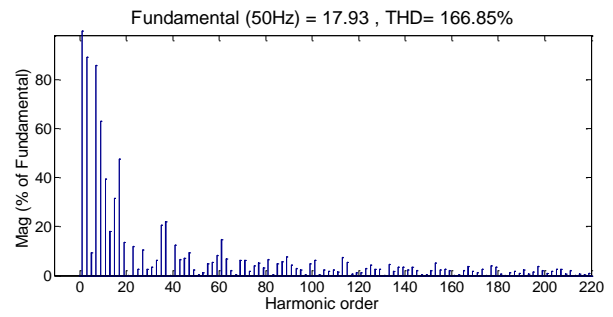
(a)



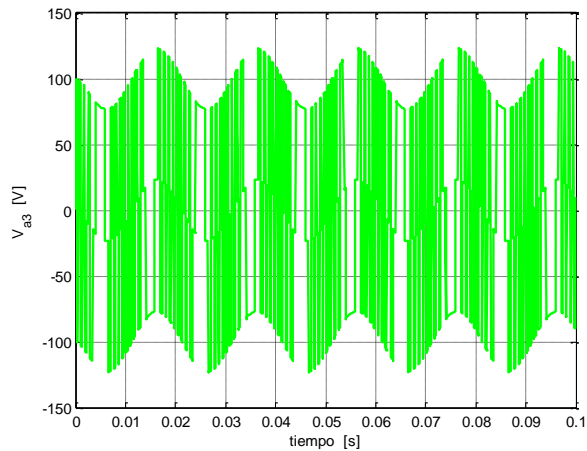
(b)



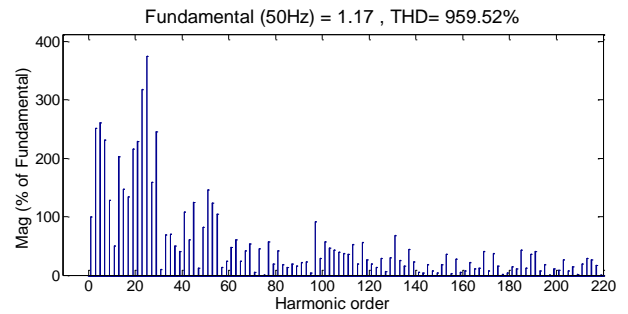
(c)



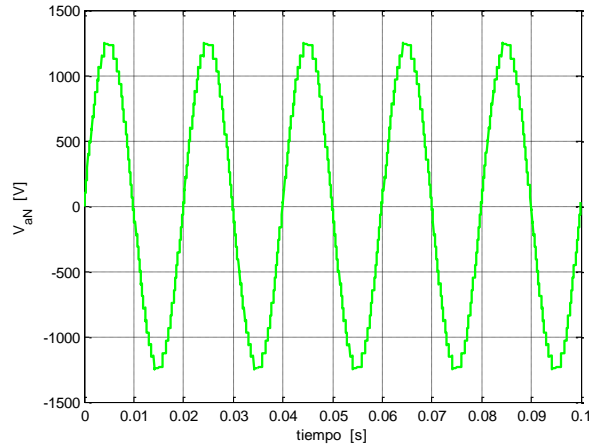
(d)



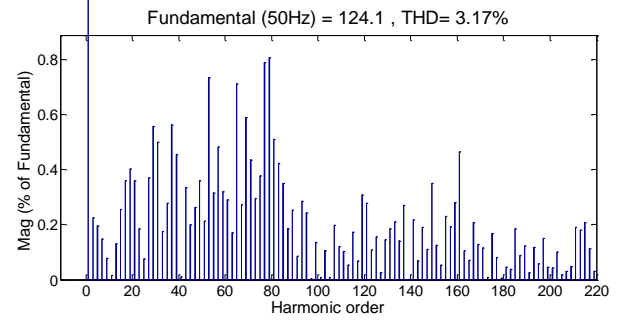
(e)



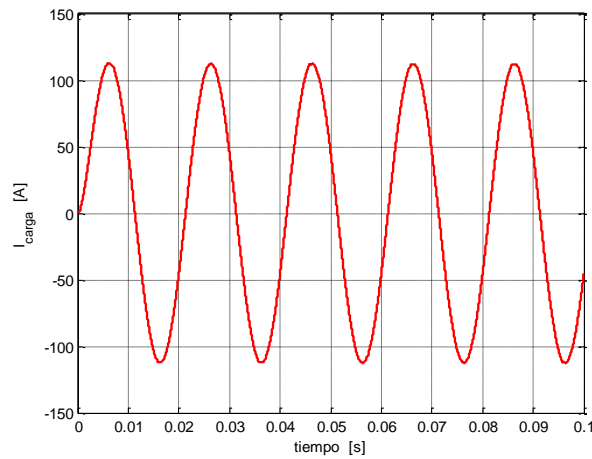
(f)



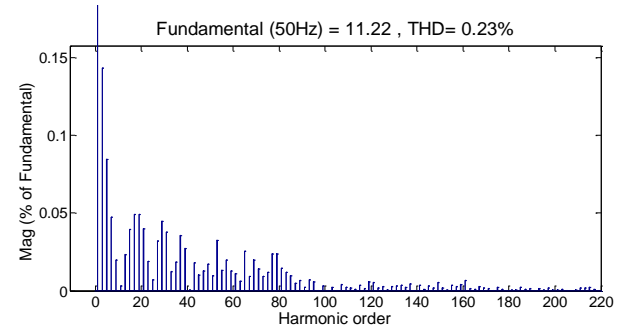
(g)



(h)



(i)



(j)

Figura 6.17: Formas de onda y su respectivo contenido armónico para NLM

- a) $V_{a1}(t)$; b) $V_{a1}(h)$; c) $V_{a2}(t)$; d) $V_{a2}(h)$; e) $V_{a3}(t)$; f) $V_{a3}(h)$;
 g) $V_{aN}(t)$; h) $V_{a1}(h)$; i) $I_{aN}(t)$; j) $I_{aN}(h)$

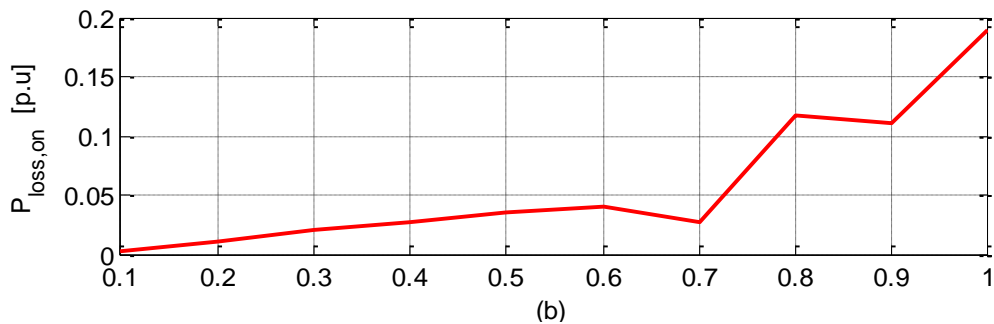
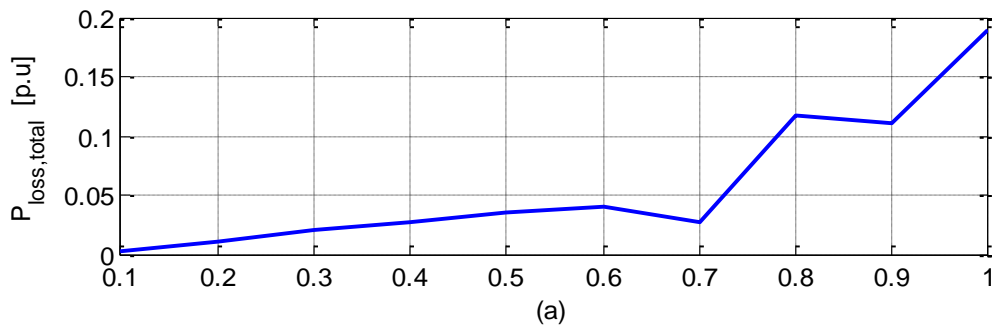
Se observa que el voltaje de salida V_{a1} del puente H_1 (Figura 6.17(a)) presenta una forma de onda cuadrada que conmuta a la frecuencia fundamental, esto es beneficioso dado que esta celda es la que tiene la fuente de voltaje más alta y al tener una baja conmutación las pérdidas en los interruptores de potencia tienden a ser menores, en cambio el voltaje de salida del puente H_3 (Figura 6.17(c)) tiene una alta tasa de conmutación, pero como la fuente de voltaje conectada a esta celda es más la más baja las pérdidas por conmutación se minimizan. Los espectros armónicos de los voltajes de salida de cada puente H (Figura 6.17(b), (d), (f)) se caracterizan por poseer una alta distorsión armónica, con armónicos de baja orden de gran amplitud.

Pero en el espectro del voltaje de salida V_{aN} (Figura 6.17(h)) estos armónicos de baja frecuencia se reducen puesto que se produce una cancelación de armónicos al superponer los espectros de voltaje de los tres puente H.

Dado que la carga RL funciona como filtro pasa bajos se mitigan los armónicos de alta frecuencia del voltaje V_{aN} , por lo cual la corriente presenta una menor distorsión armónica y una forma de onda prácticamente sinusoidal (Figura 6.17(j)).

B. Análisis de Pérdidas y Distorsión Armónica

En cuanto a los resultados podemos ver en la Figura 6.18.a las pérdidas totales, se puede apreciar que para los índices de modulación ente 0.1 – 0.6 existe una proporción lineal, donde las pérdidas sólo llegan a estar entre 0% al 4% respecto a la potencia nominal del inversor. Después, en $m_a = 0.7$ esa linealidad se ve afectada por una disminución, esto pues las pérdidas decrecen a un 3%, posteriormente para $m_a = 0.8$ las pérdidas totales aumentan bruscamente a un 12%, luego en $m_a = 0.9$ las pérdidas decrece otra vez, para finalmente aumentar para $m_a = 1.0$.



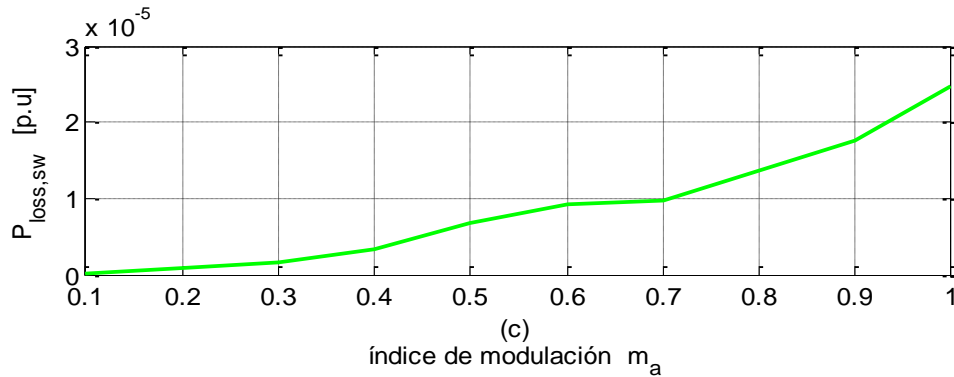


Figura 6.18: Pérdidas en el inversor con NLM

(a) Pérdidas totales; (b) Pérdidas por conducción; (c) Pérdidas por conmutación

La forma de onda de las pérdidas totales está dada principalmente por las pérdidas por conducción, puesto que si vemos las pérdidas por conmutación Figura 6.18.c, su forma de onda tiende a ser prácticamente proporcional al índice de modulación, asimismo su aporte en pérdidas es bastante bajo.

En la Figura 6.19, se puede apreciar que las pérdidas aportada por la celda 1, tiene una forma de onda proporcional respecto al índice de modulación, esto se debe a que al ir aumentando el m_a también lo hace la corriente y el tiempo de conducción de los semiconductores, además esta celda deja de trabajar cuando el índice de modulación es menor a la constante de comparación c_l , y esto mismo ocurre para las demás celdas, cuando el m_a es más bajo que la constante de comparación c_l la l -celda deja de conducir/conmutar.

En la Figura 6.20, se puede ver que la distorsión total armónica del voltaje y la corriente de salida del inversor tienen una forma de onda exponencial decreciente a medida que aumenta el índice de modulación, esto se debe a que mientras más niveles tenga la señal de voltaje de salida más parecida será a una señal puramente sinusoidal, que la corriente tenga una menor porcentaje de distorsión se debe a que la carga R-L actúa como filtro pasabajas, eliminando así los armónicos de mayor orden, y mitigando los de bajo orden.

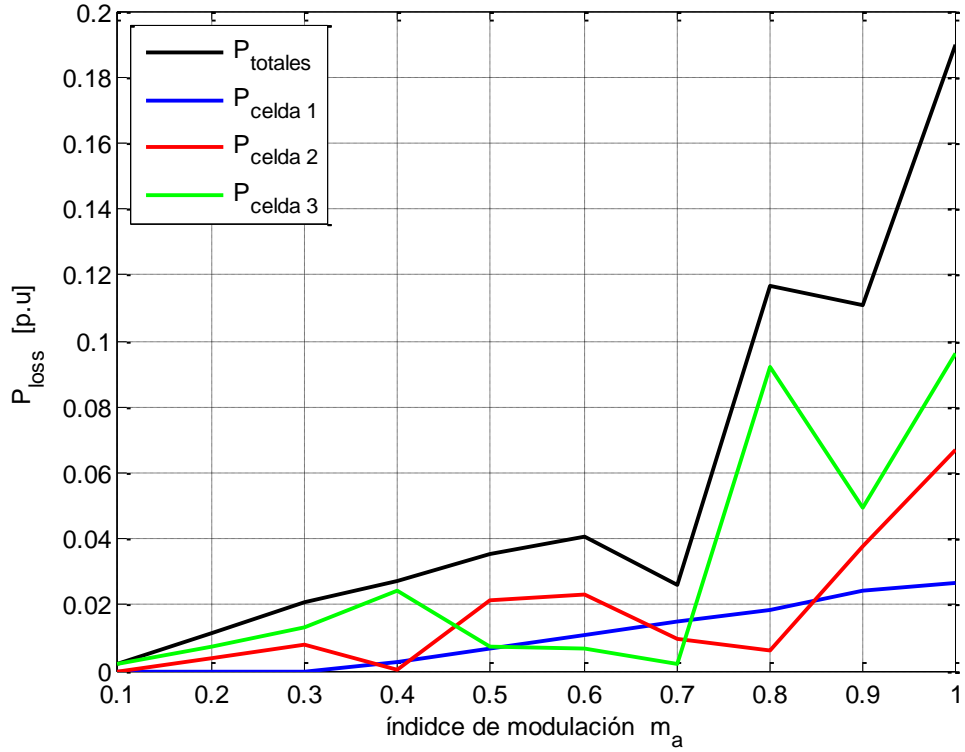


Figura 6.19: Pérdidas totales y de cada celda con NLM

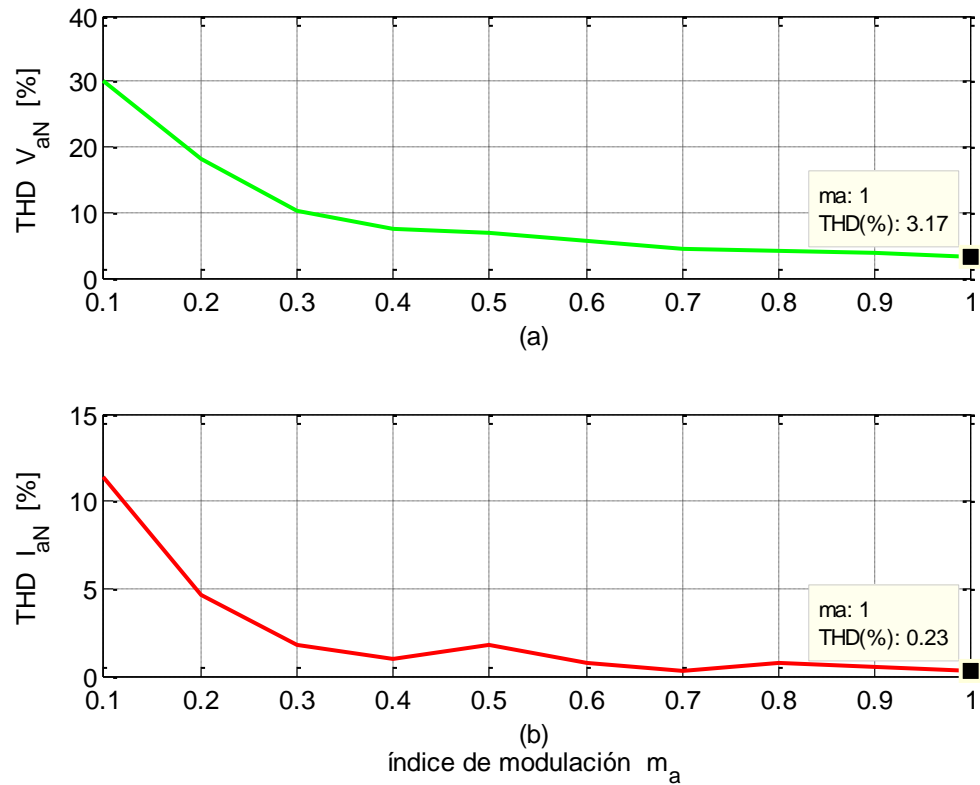


Figura 6.20: Evolución del THD con NLM

(a) THD V_{aN} vs m_a ; (b) THD I_{aN} vs m_a

En la Figura 6.21, se encuentra la distribución de potencia activa para este inversor en relación con el índice de modulación. Se puede ver que existe regeneración principalmente de la celda H_1 , aproximadamente entre los m_a 0.4 y 0.8 y en menor medida la celda H_2 entre los m_a igual a 0.1 y 0.3, esto es así pues la celda 1 entrega más potencia (P_{out1}) que la requerida por la carga; como se había mencionado en la sección 3.5, la regeneración era una de las características principales en este tipo de modulación y aquí queda comprobado empíricamente a través de la simulación.

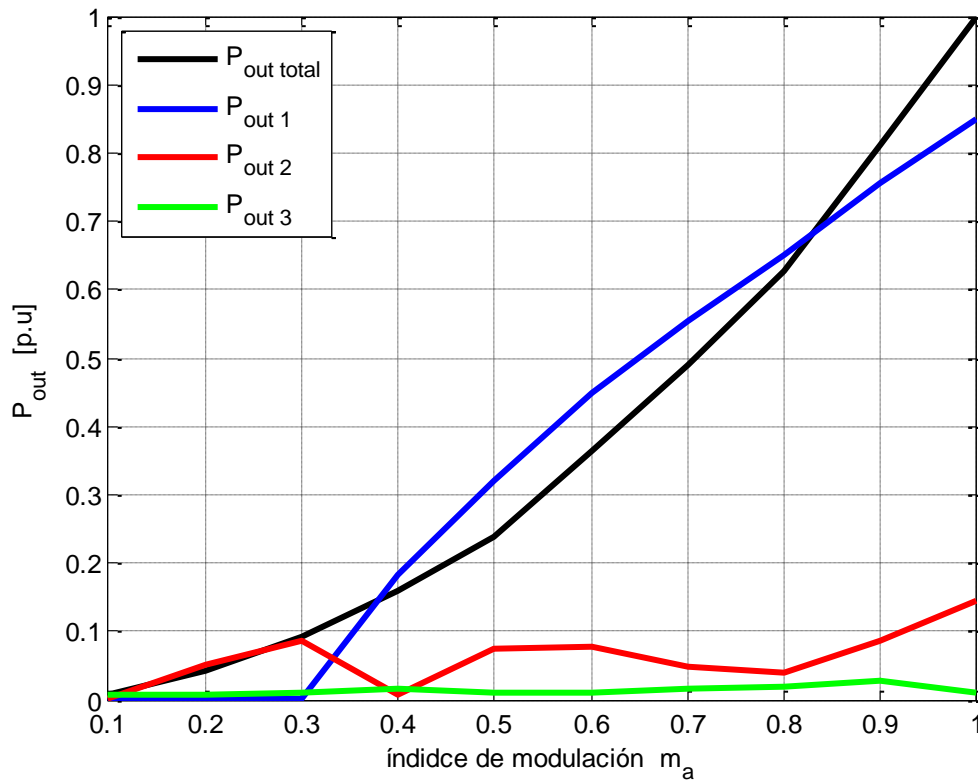


Figura 6.21: Distribución de potencia activa en inversor asimétrico de 27 niveles con NLM

Por último en la Figura 6.22, se tiene la evolución de la eficiencia respecto al índice de modulación, la cual tiene un máximo global de eficiencia cuando m_a es igual a 0.7, esto tiene sentido sabiendo que las pérdidas totales en este punto es solo de un 3% en relación a la potencia del inversor. Asimismo, se puede apreciar que mayores valores de eficiencia se encuentran entre los índices de modulación 0.4 y 0.8, rango donde el inversor regenera. Si se toma la ecuación (6.9):

$$\eta \uparrow = \frac{P_{out}}{P_{in} \downarrow}$$

Se tiene que en el rango de regeneración P_{in} disminuye debido a que la carga tiene un exceso de potencia la cual retorna hacia el lado DC, por lo tanto disminuye la inyección de corriente del lado DC, eso significa una menor pérdida en los semiconductores por lo que la eficiencia aumenta, eso explica el porqué de la curva de la Figura 6.22.

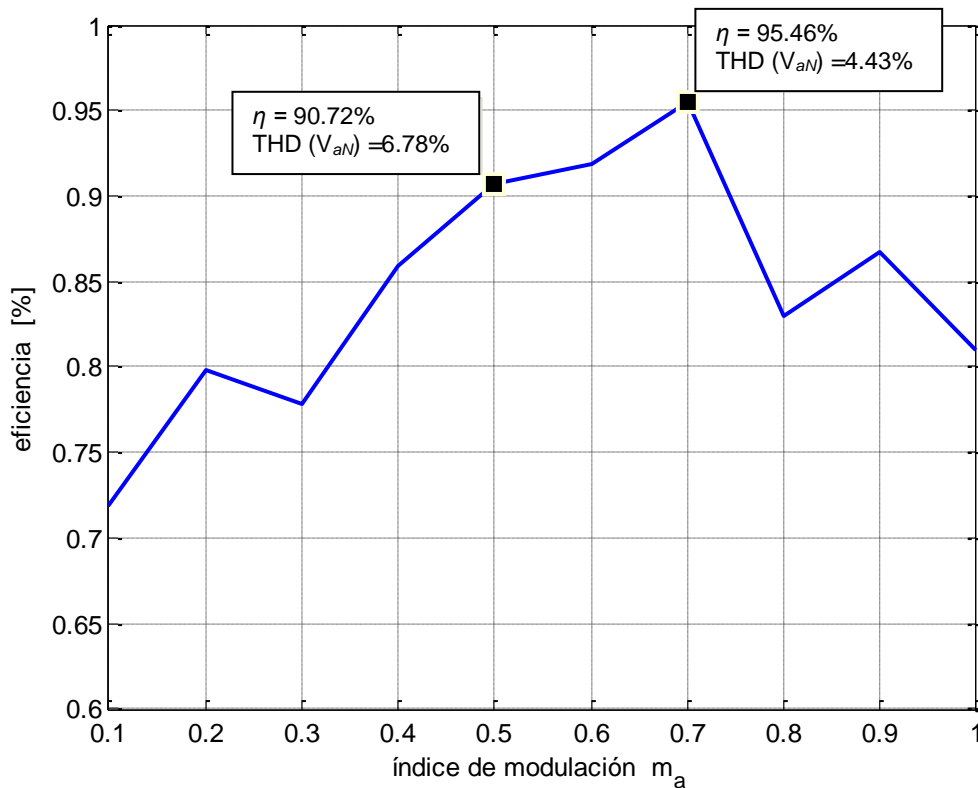


Figura 6.22: Eficiencia de inversor CHB asimétrico con NLM vs m_a

6.4. Discusión y Conclusiones

Si comparamos las tres técnicas simuladas, se puede decir, en primer lugar, que las pérdidas se distribuyen equitativamente en cada puente H para la modulación PS-PWM, esta modulación nos permite mantener la característica modular del CHB, por lo que si falla una celda basta con reemplazarla por una de las mismas características y el inversor seguirá funcionando sin problemas, sin tener que rediseñar la etapa de potencia. Por el contrario, no sucede lo mismo en LS-PWM y NLM, incluso a medida que m_a se acerca a cero, algunas celdas conmutan menos llegando incluso a no operar.

En cuanto a la distorsión total armónica, las tres modulaciones generaron la misma forma de onda, una que decrece al aumentar el m_a , aunque varían en las magnitudes. La modulación NLM es la que genera el THD más bajo en el voltaje de salida, mientras que en PS-PWM y LS-PWM, el THD del voltaje de la carga es bastante similar en ambos casos. En cambio, en el THD de corriente, PS-PWM presenta los valores más bajo, debido a que esta técnica desplaza los armónicos a alta frecuencia y como la carga es RL, actúa como filtro pasabajas eliminando la mayor cantidad de armónicos de alta frecuencia. En cambio, en LS-PWM y NLM esto no ocurre y una gran cantidad de armónicos son de baja frecuencia.

Y por último, el tema en cuestión, la eficiencia tiene una característica particular para las tres técnicas de modulación. Para PS-PWM la eficiencia es constante, esto debido al modelo lineal de pérdidas en los semiconductores utilizado y es independiente del índice de modulación. En LS-PWM la eficiencia se caracteriza por tener los puntos de mayor eficiencia en los límites inferior y superior del rango del índice de modulación. En NLM, los mayores valores de eficiencia se encuentran alrededor del punto medio del rango de m_a , y los más bajos en los límites superior e inferior.

Para escoger el tipo de esquema de modulación a implementar es necesario tener conocimiento de la aplicación, pues cada una de las tres técnicas destaca en los aspectos de distribución de potencia por puente H, distorsión total armónica y eficiencia. En base a los antecedentes de distribución, de eficiencia y THD obtenidos y de acuerdo al sistema simulado, la técnica de modulación óptima es LS-PWM, pues ofrece la mejor eficiencia con valores de 96,5% llegando hasta un 99%, en cuanto a distorsión armónica de la corriente llega a un valor mínimo de 4.5% sin el uso de filtros, por lo tanto si se requieren eliminar y/o mitigar más armónicos y disminuir el THD basta con agregar un filtro al sistema, un filtro recomendable es el filtro pasivo sintonizado para eliminar los armónicos más significantes de bajo orden. Es importante señalar, que es aconsejable utilizar esta modulación cuando la operación esté en el rango de los MW, donde las pérdidas son críticas.

Capítulo 7. Conclusiones

7.1. Sumario

En este trabajo se realizó una revisión del estado del arte de las topologías multinivel, en la cual se mencionaron su composición, estados de conmutación y niveles de voltajes generados, como también sus principales ventajas y desventajas. De las tres topologías vistas, la CHB se escogió para desarrollar las simulaciones y recopilación de los resultados, debido a que en comparación al NPC y FC, es la que requiere de una menor cantidad de componentes para generar el mismo número de niveles de tensión, y además se caracteriza por ser modular, por lo que si se quiere agregar más niveles al voltaje de salida basta con conectar los inversores puente H necesarios, esto le permite rangos de voltaje de operación más altos. Asimismo esta característica le permite tolerar fallas. Es importante señalar que la modularidad de la topología le corresponde al CHB simétrico. Ya que, por otra parte, está el CHB asimétrico el cual tiene fuentes de voltaje de distinto valores en cada celda. Su estructura le permite generar más niveles de tensión que un CHB simétrico, aprovechándose de los estados de conmutación redundantes. En este trabajo de habilitación profesional se consideraron ambos tipos de inversores, para una cantidad de 3 inversores puente H por fase.

Una parte importante en la conversión de energía DC/AC es la técnica de modulación que se utilizará para generar los pulsos de disparo en los dispositivos semiconductores del inversor. Para ello se examinaron, distintas técnicas de modulación PWM como: Phase Shifted, Level Shifted, SHE, SVM, NLM. Cada una ofrece ventajas y desventajas, en relación a frecuencia de conmutación, distorsión armónica y dificultad de implementación. También se hizo una breve revisión de un método de control avanzado, llamado MPC, con el fin de que el lector conozca las tendencias en técnicas de control.

La revisión bibliográfica también fue enfocada en la determinación de pérdidas en un inversor, algunos trabajos mencionaron las pérdidas en todos los componentes de un AC Drive, luego se centraron primordialmente en modelos de estimación de pérdidas por conducción y conmutación, encontrando modelos no lineales y modelos lineales. Este último fue el utilizado para el análisis de pérdidas en el inversor.

También, es importante conocer cuál es el estado actual de la tecnología en dispositivos semiconductores, pues cada día se están fabricando y probando prototipos con el fin de aumentar los

niveles de tensión, de corriente y de frecuencia de conmutación de operación, disminuir las pérdidas, su costo y tamaño, con el fin de sustituir al IGBT que se ha establecido como el semiconductor ideal para la conversión de energía. Dado lo anterior mencionado, en el Capítulo 5, se analizaron diferentes interruptores de potencia, como IGCT, IEGT, semiconductores hechos de SiC como SiC MOSFET, SiC BJT, SiC JFET y diodos Schottky de SiC que, según estudios recientes, prometen ser la revolución en dispositivos semiconductores para equipos convertidores. Principalmente, el SiC-MOSFET se presenta como la mejor alternativa debido a que, se aprovecharía la alta frecuencia de conmutación que es intrínseca en este tipo de semiconductor más la tecnología de SiC que permite la operación en altos rangos de tensión y voltaje.

En el capítulo final de este trabajo, se hizo un análisis comparativo de las técnicas de modulación: PS-PWM, LS-PWM y NLM, en un inversor CHB de niveles monofásico, el criterio de análisis usado fue: pérdidas por conducción y conmutación, distribución de potencia, eficiencia y la distorsión armónica del voltaje y la corriente de salida con respecto al índice de modulación.

7.2. Conclusiones

La técnica de modulación utilizada influye directamente en la distribución de las pérdidas en los inversores puentes H del inversor CHB. Para la modulación PS-PWM, independiente del índice de modulación con el que se trabaje, todas las celdas puente H conmutaran en una misma frecuencia. En cambio, las técnicas LS-PWM y NLM producen una distribución asimétrica de las pérdidas al variar el índice de modulación, incluso para m_a muy bajos algunas celdas no llegan a conmutar.

Así, la técnica de modulación empleada también tiene incidencia en la eficiencia del inversor. Para PS-PWM la eficiencia se mantiene constante para cualquier índice de modulación, bajo el modelo lineal de pérdidas de conmutación y conducción. Por otra lado, en LS-PWM la eficiencia varía respecto a m_a , la curva presenta un mínimo en $m_a = 0.3$, mientras que la eficiencia más alta se encuentra cerca de los límites del rango de m_a , recordar que el rango de m_a utilizado fue entre 0.1 y 1. En cuanto a la eficiencia en NLM, también cambia conforme m_a lo hace, pero al contrario de LS-PWM en NLM la eficiencia más baja se encuentra en los límites del rango de m_a , y los valores más alto de eficiencia se encuentra alrededor del punto medio del rango de m_a .

De la distorsión total armónica del voltaje y la corriente de carga, se puede concluir que para las tres técnicas de modulación empleadas en la simulación, todas tienen la misma forma

decreciente, esto significa que independiente de cualquiera de las tres técnicas que se utilice, todas se puede deducir que a medida que el índice de modulación es mayor, menor será la distorsión en el voltaje y corriente de carga, y esto es lógico considerando que a menor m_a el voltaje de salida pierde niveles lo que la hace menos sinusoidal que una de más niveles.

También se encontraron rangos de operación óptimos entre eficiencia y distorsión armónica del voltaje de salida. Para PS-PWM, el rango óptimo de operación es en $m_a = 1.0$, ya que en ese valor el THD de voltaje es mínimo e igual a 18,92% y la eficiencia es 87,65%. Por otro lado, con LS-PWM el rango de operación óptimo es entre $m_a = 0.8 - 1.0$, en ese rango el THD de voltaje varía entre 24,52% y 19,15%, mientras que la eficiencia fluctúa entre 98,86% y 98,95% respectivamente. Para NLM el rango óptimo es $m_a = 0.5 - 0.7$, para esta condición el THD de voltaje es 6.78% - 4.43%, y la eficiencia oscila entre 90.72% - 95.42%, respectivamente.

7.3. Recomendaciones

Dentro del trabajo realizado, es deseable que haya una mejora del mismo, al ser un tema tan fundamental como la eficiencia; por lo tanto se recomienda a los futuros estudiantes que tengan interés en el proyecto, la complementación del análisis de pérdidas a través de un modelo más realista que involucre parámetros tan importantes como la temperatura, como así también la característica no lineal del proceso de conmutación de un interruptor de potencia. Como también sería recomendable la implementación empírica del sistema simulado para comparar los resultados teóricos con los reales y ver el error asociado a este.

7.4. Trabajos Futuros

Analizar eficiencia y distorsión total armónica del inversor para diferentes índices de modulación para la técnica de modulación SHE, como también ver el comportamiento de la eficiencia y el THD bajo el esquema MPC. Por otro lado, sería interesante modelar las pérdidas para los nuevos dispositivos de potencia, bajo las técnicas de modulación anteriormente empleadas en las simulaciones.

Capítulo 8. Bibliografía

- [1] J. Rodríguez, L. Franquelo, S. Kouro, J. León, R. Portillo, M. Á. Martín Prats y M. Pérez, «Multilevel Converters: An Enabling Technology for High-Power Applications,» *Proceedings of the IEEE*, vol. 97, n° 11, pp. 1786 - 1817, 2009.
- [2] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. Franquelo, B. Wu, J. Rodríguez, M. Pérez y J. León, «Recent Advances and Industrial Applications of Multilevel Converters,» *IEEE Transactions on Industrial Electronics*, vol. 57, n° 8, pp. 2553 - 2580, 2010.
- [3] E. Wiechmann, P. Aqueveque, R. Burgos y J. Rodríguez, «On the Efficiency of Voltage Source and Current Source Inverters for High-Power Drives,» *IEEE Transactions on Industrial Electronics*, vol. 55, n° 4, pp. 1771-1782, 2008.
- [4] S. Wei, N. Zargari, B. Wu y S. Rizzo, «Comparision and Mitigation of Common Mode Voltage in Power Converter Topologies,» de *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting*, Seattle, 2004.
- [5] Transtector, «Riesgo de Supresores de Modo Común,» Transtector: Surge Protection For Industrial Applications, Hayden, Idaho.
- [6] J. Rodríguez, J.-S. Lai y F. Z. Peng, «Multilvel Inverters: A survey of Topologies, Controls, ans Applications,» *IEEE Transactions on Industrial Electronics*, vol. 49, n° 4, 2002.
- [7] L. Jih-Sheng y Z. P. Fang, «Multilevels Converters - A New Breed of Power Converters,» *IEEE Trasactions on Industry Applications*, vol. 32, n° 3, p. 9, 1996.
- [8] B. Wu, *High-Power Converters and AC Drives*, New Jersey: IEEE Press, 2006.
- [9] C. M. Wu, H. Lau y C. H., «A five-level neutral-point-clamped H-bridge PWM inverter with superior harmonics supression: A theoretical analysis,» *Proc. IEEE Int. Symp. Circuits Sist. Orlando, FL*, vol. 5, pp. 198-201, 1999.
- [10] O. Apeldoorn, B. Odegard, P. Steimer y S. Bernet, «A 16 MVA ANPC-PEBB with 6 ka IGCTs,» *Conf. Rec. 40th IEEE IAS Annu. Meeting*, vol. 2, pp. 818-824, 2005.
- [11] J. Meili, S. Ponnaluri, L. Serpa, P. K. Steimer y J. W. Kolar, «Opitimized pulse patterns for the 5-level ANPC converter for high speed high power applications,» *Proc. 32nd IEEE IECON*, pp. 2587-2592, 2008.

- [12] R. Marquardt, «Stromrichterschaltungen mit verteilten energiespeichern». Alemania Patente DE20 122 923 UI, 2001.
- [13] M. Pérez, S. Bernet, J. Rodríguez, S. Kouro y R. Lizana, «Circuit Topologies, Modeling, Control Schemes, and Applications of Modular Multilevel Converters,» *IEEE Transactions on Power Electronics*, vol. 30, n° 1, pp. 4-17, 2015.
- [14] J. Wang, B. Wu y N. R. Zargari, «High-power multi-modular matrix converters with sinusoidal input/output waveforms,» *Proc. 35th IEEE IECON*, pp. 547-552, 2009.
- [15] A. Nabae, I. Takahashi y H. Akagi, «A New Neutral- Point Clamped PWM Inverter,» *IEEE Transactions on Industry Applications*, vol. 17, n° 5, p. 6, 1981.
- [16] J. Loranca C., «Análisis de Técnicas de Modulación en Convertidores Multinivel en Cascada Asimétrico,» Tesis de Maestría en Ciencias. Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), Cuernavaca, Morelos, México, 2013.
- [17] P. Panagis, F. Stergiopoulos, P. Marabeas y S. Manias, «Comparison of State of the Art Multilevel Inverters,» de *Power Electronics Specialists Conference. PESC 2008. IEEE*, Rhodes, Greece, 2008.
- [18] E. Bárcenas, *Análisis y Desarrollo de un Inversor Multinivel*, Cuernavaca, 2002.
- [19] C. Hochgraf, R. Lasseter, D. Divan y T. A. Lipo, «Comparison of Multilevel Inverters for Static VAR Compensation,» de *Industry Applications Society Annual Meeting. Conference Record of the 1994 IEEE*, Denver, CO, USA, 1994.
- [20] M. Malinowski, K. Gopakumar, J. Rodríguez y M. Pérez, «A Survey on Cascaded Multilevel Inverters,» *IEEE Transactions on Industrial Electronics*, vol. 57, n° 7, 2010.
- [21] A. Bretón, «Diseño y Contrucción de un Inversor Trifásico Multinivel de Cuatro Etapas para Compensación Armónica y de Reactivos,» *Pontificia Universidad Católica de Chile*, p. 168, 2003.
- [22] M. Pérez, J. Rodríguez, J. Pontt y S. Kouro, «Power Distribution in Hybrid Multi-cell Converter with Nearest Level Modulation,» *IEEE International Symposium on Industrial Electronics*, pp. 736-741, 2007.
- [23] C. Venugopal y S. Mathew, «A single source five-level inverter with reduced number switches,» *International Journal of Advanced Research in Electrical, Electronics and Instrumentation Engineering*, vol. 4, n° 5, pp. 4201-4208, 2015.

- [24] E. Espinosa, J. Espinoza, P. Melín, R. Ramírez, F. Villarroel, J. Muñoz y L. Morán, «A New Modulation for a 13-Level Asymmetric Inverter Toward Minimum THD,» *IEEE Transactions on Industry Applications*, vol. 50, n° 3, pp. 1924-1933, 2014.
- [25] J. Dixon, A. Breton, F. Ríos, J. Rodríguez, J. Pontt y M. Pérez, «High Power Machine Drive, Using Nonredundant 27-Level Inverters and Active Front End Rectifiers,» *IEEE Transactions on Power Electronics*, vol. 22, n° 6, pp. 2527-2533, 2007.
- [26] M. Rotella, G. Peñailillo, J. Pereda y J. Dixon, «PWM Method to Eliminate Power Sources in a Nonredundant 27-Level Inverter for Machine Drive Applications,» *IEEE Transactions on Industrial Electronics*, vol. 56, n° 1, pp. 194-201, 2009.
- [27] E. Espinosa, J. Espinoza, R. Ramírez, J. Rothen, F. V. P. Melín y J. Guzman, «New Modulation Technique for 15-level Asymmetric Inverter Operating with Minimum THD,» *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*, pp. 6164-6169, 2013.
- [28] E. Espinosa, J. Espinoza, F. Villarroel, J. Muñoz, P. Melín y R. Ramírez, «A novel modulation technique for asymmetric multi-cell inverters of 27-level without regeneration,» *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, pp. 123-128, 2012.
- [29] L. Franquelo, J. Rodríguez, J. León, S. Kouro, R. Portillo y M. A. M. Prats, «The Age of Multilevel Converters Arrive,» *IEEE Industrial Electronics Magazine*, vol. 2, n° 2, pp. 28-39, 2008.
- [30] B.-S. Suh, G. Sinha, M. Manjrekar y T. Lipo, «Multilevel Power Conversion - An Overview of Topologies and Modulation Strategies,» Wisonsin-Madison, 1998.
- [31] M. Rashid, *Electrónica de Potencia: Circuitos dispositivos y aplicaciones*, New York: Prentice-Hall, 1993.
- [32] N. Mohan, T. Undeland y W. Robbins, *Electrónica de Potencia: Convertidores, aplicaciones y diseño*, Tercera ed., México; Auckland; Bogotá; Buenos Aires; Caracas; Guatemala; Lisboa; Londres; Madrid; Milán; Montreal; Nueva Delhi; Nueva York; San Francisco; San Juan; San Luis; Santiago; Sao Paulo; Sidney; Singapur; Toronto: McGraw-Hill, 2009.
- [33] R. Jardan, P. Stumpf, P. Bartal, o. Varga y I. Nagy, «A Novel Approach in Studying the Effects of Subharmonics on Ultrahigh-Speed AC Motor Drives,» *IEEE Transactions on Industrial Electronics*, vol. 58, n° 4, pp. 1274-1281, 2011.
- [34] Q. Jaber, Q. Naman y M. Shamaseen, «Effects Low Frequencies on Three Phase Induction

- Motor Performance Operating in Close Proximity to Rated Speed,» *American Journal of Applied Sciences*, vol. 4, n° 5, pp. 284-293, 2007.
- [35] D. G. Holmes y B. P. McGrath, «Multicarrier PWM Strategies for Multilevel Inverters,» *IEEE Transactions on Industrial Electronics*, vol. 49, n° 4, 2002.
- [36] J. D. Betanzos, J. J. Rodríguez y E. Peralta, «Space Vector Pulse Width Modulation for Three-Level NPC-VSI,» *IEEE Latin America Transactions*, vol. 11, n° 2, 2013.
- [37] P. Cortés, A. Wilson, S. Kouro, J. Rodríguez y H. Abur-Rub, «Model Predictive Control of Multilevel Cascaded H-Bridge Inverters,» *IEEE Transactions on Industrial Electronics*, vol. 57, n° 8, pp. 2691-2699, 2010.
- [38] H. S. Patel y R. G. Hoft, «Generalized techniques of harmonic elimination and voltage control in thyristor inverters-Part 1: Harmonic elimination,» *IEEE Transactions and Industrial Applications*, Vols. 1 de 2IA-9, n° 3, pp. 310-317, 1973.
- [39] J. Rodríguez, S. Bernet y I. L. Peter Steiner, «A Survey on Neutral-Point-Clamped Inverters,» *IEEE Transactions on Industrial Electronics*, vol. 57, n° 7, 2010.
- [40] L. Franquelo, J. Nápoles, R. Portillo y M. A. Aguirre, «A Flexible Selective Harmonic Mitigation Technique to Meet Grid Codes in Three-Level PWM Converters,» *IEEE Transactions on Industrial Electronics*, vol. 54, n° 6, 2007.
- [41] D. Kumar y P. Kaur, «Selective Harmonic Elimination PWM Technique Implementation for a Multilevel Converter,» *International Journal of Engineering Research*, vol. 4, n° 6, pp. 303-308, 2015.
- [42] Z. Du, L. M. Tolbert y J. N. Chiasson, «Active Harmonic Elimination for Multilevel Converters,» *IEEE Transactions on Power Electronics*, vol. 21, pp. 459-469, 2006.
- [43] J. Rodríguez, J. Pontt, P. Cortés y R. Vargas, «Predictive Control of a Three-Phase Neutral Point Clamped Inverter,» *IEEE Transaction on Industrial Electronics*, vol. 54, n° 5, 2007.
- [44] E. Camacho y C. Bordons, *Model Predictive Control*, London: Springer-Verlag London Limited, 1999.
- [45] Siemens, «Industrial Manufacturing - Siemens,» 2014. [En línea]. Available: https://www.industry.usa.siemens.com/drives/us/en/Integrated-Drive-Systems/document-library/Documents/DS_DriveSystemEfficiency-Application.pdf. [Último acceso: 13 Agosto 2017].

- [46] S. Kouro, M. Péré, H. Robles y J. Rodríguez, «Switching Loss Analysis of Modulation Method Used in Cascaded H-Bridge Multilevel Converters,» de *Power Electronics Specialists Conference. PESC 2008. IEEE*, Rhodes, Grecia, 2008.
- [47] E. Espinosa, J. Espinoza, J. Rothen, J. Silva, J. Muñoz y P. Melín, «Finite Control Set Model Predictive Control with Reduced Switching Frequency Applied to Multi-cell Rectifiers,» de *Industrial Technology (ICIT) IEEE International Conference on*, Sevilla, España, 2015.
- [48] A. D. Rajapakse, A. M. Gole y P. L. Wilson, «Electromagnetic Transients Simulation Models for Accurate Representation of Switching Losses and Thermal Performance in Power Electronic Systems,» *IEEE Transactions on Power Delivery*, vol. 20, nº 1, pp. 319-327, 2005.
- [49] P. Steimer, O. Apeldoorn y E. Carroll, «IGCT Devices - Applications and Future Opportunities,» *ABB Industrie AG & ABB Semiconductors AG - IEEE PES*, pp. 1-6, 2000.
- [50] J. A. Pomillo, «Eletrônica de Potência,» UNICAMP, São Paulo, 2006.
- [51] S. Khomfoi y C. Aimsaard, «A 5-Level Cascaded Hybrid Multilevel Inverter for Interfacing with Renewable Energy Resource,» de *Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology. ECTI-CON 2009. 6th International Conference on*, Pattaya, Chonburi, Thailand, 2009.
- [52] S. Kumar y S. Nag, «Construction, characteristics and applications of Injection-Enhanced Gate Transistor,» Birla Institute of Technology, Mesra, India, 2013.
- [53] TOSHIBA, «High-Power Electric Solutions,» Semiconductor & Storage Products Company, 2015.
- [54] S. Martínez García y J. A. Gualda, *Electrónica de Potencia: Componentes, topología y equipos*, Madrid: Thomson Ediciones Paraninfo, S.A., 2006.
- [55] L. Stevanovic, K. Matocha, J. Glaser, J. Nasadoski y S. Arthur, «Recent Advances in Silicon Carbide MOSFET Power Devices,» de *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, Palm Springs, CA, USA, 2010.
- [56] M. Östling, R. Ghandi y C.-M. Zetterling, «SiC power devices - present status, applications and future perspective,» de *Proceedings of the 23rd International Symposium on Power Semiconductor Devices & IC's*, San Diego, CA, 2011.
- [57] U. Singh, «Current Status of SiC Power Semiconductor Devices,» [En línea]. Available: <https://es.scribd.com/document/55982393/SiC-paper>. [Último acceso: 30 Junio 2017].

- [58] R. Fu, A. E. Grekov, K. Penga y E. Santi, «Parameter Extraction Procedure for a Physics-Based Power SiC Schottky Diode Model,» *IEEE Transactions on Industry Applications*, vol. 50, n° 5, pp. 3558-3568, 2014.
- [59] D. Pefitsis, «On Gate Drivers and Applications of Normally-ON SiC,» KTH Real Instituto de Tecnología, Estocolmo, Suecia, 2013.
- [60] «RF Wireless World,» [En línea]. Available: <http://www.rfwireless-world.com/Terminology/GTO-vs-IGCT-vs-IGBT.html>. [Último acceso: 04 Julio 2017].
- [61] C. Guevara, «Revista Electro Industria,» 2012. [En línea]. Available: <http://www.emb.cl/electroindustria/articulo.mvc?xid=1913&xit=la-eficiencia-energetica-de-los-convertidores-estaticos>. [Último acceso: 10 Octubre 2016].
- [62] M. González, «Estudio de un Inversor Multinivel monofásico basado en inversores puente completo conectados en cascada para la realización de un compensador sincrónico estático (STATCOM).,» Valparaíso, 2006.
- [63] M. Ikonen, O. Laakkonen y M. Kettunen, «Two-Level and Three-Level Converter Comparison in Wind Power Application,» Lappeenranta University of Technology, Lappeenranta, Finlandia, 2005.
- [64] V. Vodovozov, «Electric Drive Systems and Operation,» 2012. [En línea]. Available: <http://bookboon.com/en/electric-drive-systems-and-operation-ebook>. [Último acceso: 13 Agosto 2017].
- [65] J. Muñoz, C. Baier, J. Espinoza, M. Rivera, J. Guzmán y J. Rothen, «Switching Losses Analysis of an Asymmetric Multilevel Shunt Active Power Filter,» de *Industrial Electronics Society, IECON 2013 - 39th Annual Conference of the IEEE*, Vienna, Austria, 2013.

Anexo A. Datasheet IGBT

International
IR Rectifier

PD - 94909A

IRG4BC20UDPbF

INSULATED GATE BIPOLAR TRANSISTOR WITH ULTRAFAST
SOFT RECOVERY DIODE

UltraFast CoPack IGBT

Features

- UltraFast: optimized for high operating frequencies 8-40 kHz in hard switching, >200 kHz in resonant mode
- Generation 4 IGBT design provides tighter parameter distribution and higher efficiency than Generation 3
- IGBT co-packaged with HEXFRED® ultrafast, ultra-soft-recovery anti-parallel diodes for use in bridge configurations
- Industry standard TO-220AB package
- Lead-Free

Benefits

- Generation -4 IGBTs offer highest efficiencies available
- IGBTs optimized for specific application conditions
- HEXFRED diodes optimized for performance with IGBTs. Minimized recovery characteristics require less/no snubbing
- Designed to be a "drop-in" replacement for equivalent industry-standard Generation 3 IR IGBTs

Absolute Maximum Ratings

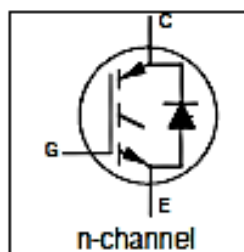
Parameter	Parameter	Max.	Units
V_{CES}	Collector-to-Emitter Voltage	600	V
$I_C @ T_C = 25^\circ\text{C}$	Continuous Collector Current	13	A
$I_C @ T_C = 100^\circ\text{C}$	Continuous Collector Current	6.5	
I_{CM}	Pulsed Collector Current \ominus	52	
I_{LM}	Clamped Inductive Load Current \ominus	52	
$I_F @ T_C = 100^\circ\text{C}$	Diode Continuous Forward Current	7.0	
I_{FM}	Diode Maximum Forward Current	52	
V_{GE}	Gate-to-Emitter Voltage	± 20	V
$P_D @ T_C = 25^\circ\text{C}$	Maximum Power Dissipation	60	W
$P_D @ T_C = 100^\circ\text{C}$	Maximum Power Dissipation	24	
T_J	Operating Junction and	-55 to +150	°C
T_{STG}	Storage Temperature Range		
	Soldering Temperature, for 10 sec.	300 (0.063 in. (1.6mm) from case)	
	Mounting Torque, 6-32 or M3 Screw.	10 lbf-in (1.1 N-m)	

Thermal Resistance

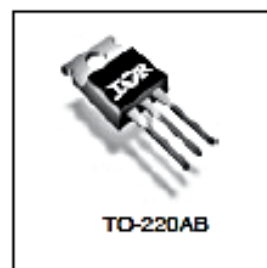
Parameter	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case - IGBT	-----	-----	2.1	°C/W
$R_{\theta JC}$	Junction-to-Case - Diode	-----	-----	3.5	
$R_{\theta CS}$	Case-to-Sink, flat, greased surface	-----	0.50	-----	
$R_{\theta JA}$	Junction-to-Ambient, typical socket mount	-----	-----	80	
Wt	Weight	-----	2 (0.07)	-----	g (oz)

www.irf.com

1



$V_{CES} = 600\text{V}$
$V_{CE(ON)} \text{ typ.} = 1.85\text{V}$
@ $V_{GE} = 15\text{V}, I_C = 6.5\text{A}$



IRG4BC20UDPbF

International
IOR RectifierElectrical Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)CES}$	Collector-to-Emitter Breakdown Voltage	600	---	---	V	$V_{GE} = 0V, I_C = 250\mu\text{A}$
$\Delta V_{(BR)CES}/\Delta T_J$	Temperature Coeff. of Breakdown Voltage	---	0.69	---	$W/^\circ\text{C}$	$V_{GE} = 0V, I_C = 1.0\text{mA}$
$V_{CE(sat)}$	Collector-to-Emitter Saturation Voltage	---	1.85	2.1	V	$I_C = 6.5A, V_{GE} = 15V$ See Fig. 2, 5 $I_C = 13A$ $I_C = 6.5A, T_J = 150^\circ\text{C}$
		---	2.27	---		
		---	1.87	---		
$V_{GE(th)}$	Gate Threshold Voltage	3.0	---	6.0		$V_{CE} = V_{GE}, I_C = 250\mu\text{A}$
$\Delta V_{GE(th)}/\Delta T_J$	Temperature Coeff. of Threshold Voltage	---	-11	---	$\text{mV}/^\circ\text{C}$	$V_{CE} = V_{GE}, I_C = 250\mu\text{A}$
g_{fs}	Forward Transconductance @	1.4	4.3	---	S	$V_{CE} = 100V, I_C = 6.5A$
I_{CES}	Zero Gate Voltage Collector Current	---	---	250	μA	$V_{GE} = 0V, V_{CE} = 600V$ $V_{GE} = 0V, V_{CE} = 600V, T_J = 150^\circ\text{C}$
		---	---	1700		
V_{FM}	Diode Forward Voltage Drop	---	1.4	1.7	V	$I_C = 8.0A$ See Fig. 13 $I_C = 8.0A, T_J = 150^\circ\text{C}$
		---	1.3	1.8		
I_{LES}	Gate-to-Emitter Leakage Current	---	---	± 100	nA	$V_{GE} = \pm 20V$

Switching Characteristics @ $T_J = 25^\circ\text{C}$ (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
Q_g	Total Gate Charge (turn-on)	---	27	41	nC	$I_C = 6.5A$ $V_{CC} = 400V$ $V_{GE} = 15V$ See Fig. 8
Q_{ge}	Gate - Emitter Charge (turn-on)	---	4.5	6.8		
Q_{gc}	Gate - Collector Charge (turn-on)	---	10	16		
$t_{d(on)}$	Turn-On Delay Time	---	39	---	ns	$T_J = 25^\circ\text{C}$ $I_C = 6.5A, V_{CC} = 480V$ $V_{GE} = 15V, R_G = 50\Omega$ Energy losses include "tail" and diode reverse recovery. See Fig. 9, 10, 11, 18
t_r	Rise Time	---	15	---		
$t_{d(off)}$	Turn-Off Delay Time	---	93	140		
t_f	Fall Time	---	110	170		
E_{on}	Turn-On Switching Loss	---	0.16	---		
E_{off}	Turn-Off Switching Loss	---	0.13	---		
E_{sw}	Total Switching Loss	---	0.29	0.3	mJ	$T_J = 150^\circ\text{C}$, See Fig. 9, 10, 11, 18 $I_C = 6.5A, V_{CC} = 480V$ $V_{GE} = 15V, R_G = 50\Omega$ Energy losses include "tail" and diode reverse recovery.
$t_{d(on)}$	Turn-On Delay Time	---	38	---		
t_r	Rise Time	---	17	---		
$t_{d(off)}$	Turn-Off Delay Time	---	100	---		
t_f	Fall Time	---	220	---		
E_{sw}	Total Switching Loss	---	0.49	---		
L_E	Internal Emitter Inductance	---	7.5	---	nH	Measured 5mm from package
C_{ies}	Input Capacitance	---	530	---	pF	$V_{GE} = 0V$ $V_{CC} = 30V$ $f = 1.0\text{MHz}$ See Fig. 7
C_{oes}	Output Capacitance	---	39	---		
C_{res}	Reverse Transfer Capacitance	---	7.4	---		
t_{rr}	Diode Reverse Recovery Time	---	37	55	ns	$T_J = 25^\circ\text{C}$ See Fig. 14 $T_J = 125^\circ\text{C}$ 14
		---	55	90		
I_{rr}	Diode Peak Reverse Recovery Current	---	3.5	5.0	A	$T_J = 25^\circ\text{C}$ See Fig. 15 $T_J = 125^\circ\text{C}$ 15
		---	4.5	8.0		
Q_{rr}	Diode Reverse Recovery Charge	---	65	138	nC	$T_J = 25^\circ\text{C}$ See Fig. 16 $T_J = 125^\circ\text{C}$ 16
		---	124	360		
$d_{(V_{CE})}/dt$	Diode Peak Rate of Fall of Recovery During t_b	---	240	---	A/ μs	$T_J = 25^\circ\text{C}$ See Fig. 17 $T_J = 125^\circ\text{C}$ 17
		---	210	---		

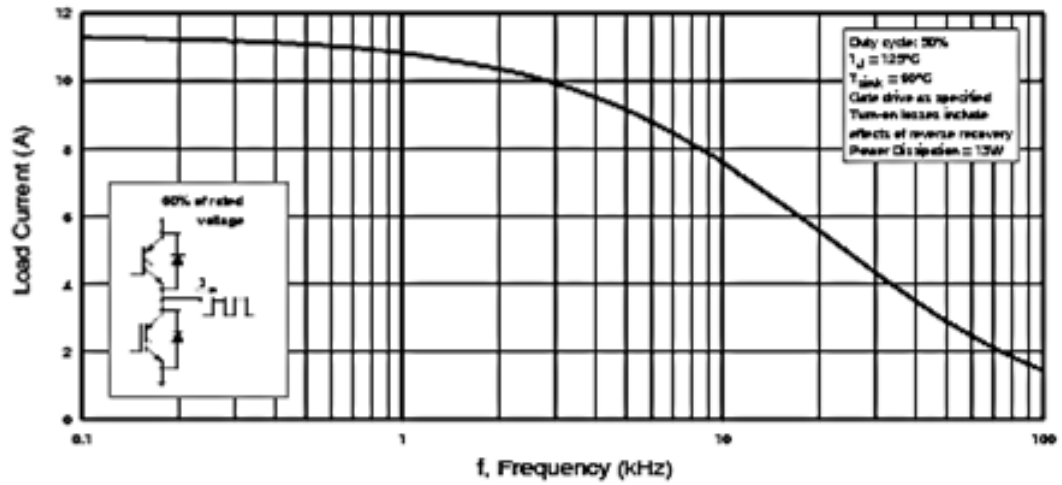


Fig. 1 - Typical Load Current vs. Frequency
(Load Current = I_{RMS} of fundamental)

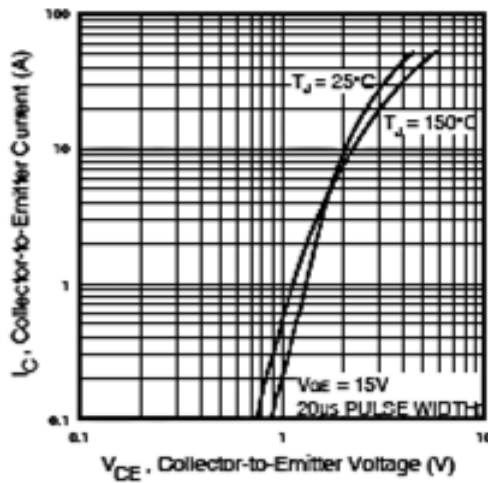


Fig. 2 - Typical Output Characteristics

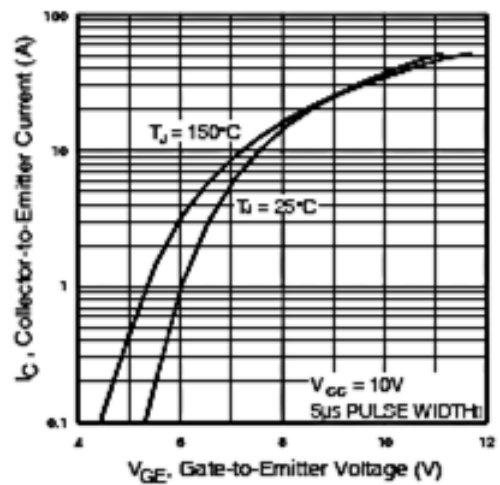


Fig. 3 - Typical Transfer Characteristics